

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
9. September 2005 (09.09.2005)

PCT

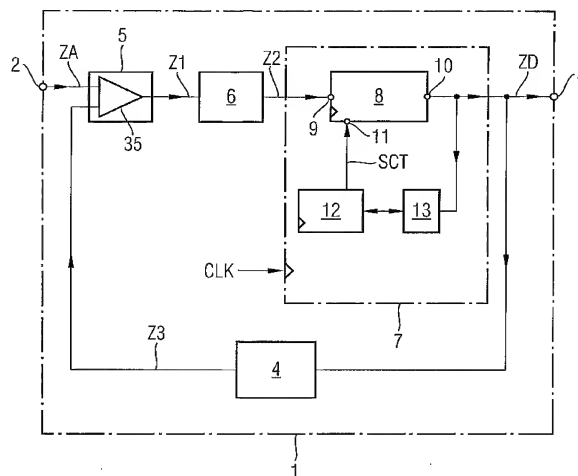
(10) Internationale Veröffentlichungsnummer
WO 2005/083888 A1

- (51) Internationale Patentklassifikation⁷: **H03M 3/04** (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).
- (21) Internationales Aktenzeichen: PCT/EP2005/001165 (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): **DOERRER, Lukas** [AT/AT]; Triglavstrasse 17c, A-9500 Villach (AT). **KUT-TNER, Franz** [AT/AT]; Dorfstrasse 12, A-9524 St. Ulrich (AT).
- (22) Internationales Anmeldedatum: 4. Februar 2005 (04.02.2005) (74) Anwalt: **CHARLES, Glyndwr**; Patentanwälte Reinhard Skuhra Weise & Partner GbR, Friedrichstrasse 31, 80801 München (DE).
- (25) Einreichungssprache: Deutsch (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
10 2004 009 609.0 27. Februar 2004 (27.02.2004) DE
10 2004 030 812.8 25. Juni 2004 (25.06.2004) DE

[Fortsetzung auf der nächsten Seite]

(54) Title: POWER-SAVING MULTIBIT DELTA-SIGMA CONVERTER

(54) Bezeichnung: STROMSPARENDER MULTIBIT-DELTA-SIGMA-WANDLER



(57) Abstract: The invention relates to a power-saving multibit delta-sigma converter (1) comprising: an input (2) for an analog input signal (ZA) and an output (3) for a digital output signal (ZD); a digital/analog converter (4) having a bit width N and serving to convert the digital output signal (ZD) to an analog feedback signal (Z3); a summing device (5) for solving the difference between the input signal (ZA) and the feedback signal (Z3); a filter (6) for filtering the difference signal (Z1), and; a clocked quantizing device (7) for quantizing the filtered difference signal (Z2) into a digital output signal (ZD) with bit width N. Said quantizing device (7) comprises a number of comparators (21, 22, 23) that compare the filtered signal (Z2) with a respective reference potential (U0, U6) associated with each comparator (21, 22, 23), and they each output a comparison result (V1, V2, V3) to a decoder (33), which generates the digital output signal (ZD) from the comparison results (V1, V2, V3), and the reference potentials (U0, ...U6) are updated according to a previous comparison result.

(57) Zusammenfassung: Stromsparender Multibit-Delta-Sigma Wandler (1) mit einem Eingang (2) für ein analoges Eingangssignal (ZA) und einem Ausgang für ein digitales Ausgangssignal (ZD); einem Digital-Analog-Wandler (4), der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals

[Fortsetzung auf der nächsten Seite]



WO 2005/083888 A1



AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht
- mit geänderten Ansprüchen

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(ZD) zu einem analogen Rückkopplungssignal (Z3); einem Summiereinrichtung (5) zum Bilden der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3); einem Filter (6) zum Filtern des Differenzsignals (Z1); und einer getakteten Quantisiereinrichtung (7) zum Quantisieren des gefilterten Differenzsignals (Z2) zu dem digitalen Ausgangssignal (ZD) mit der Bitbreite N; wobei die Quantisiereinrichtung (7) mehrere Komparatoren (21, 22, 23) aufweist, die das gefilterte Signal (Z2) mit jeweils einem dem jeweiligen Komparator (21, 22, 23) zugehörigen Referenzpotenzial (U0, ...U6) vergleichen und die jeweils einen Vergleichsergebnis (V1, V2, V3) an einen Dekodierer (33) ausgeben, der aus den Vergleichsergebnissen (V1, V2, V3) das digitale Ausgangssignal (ZD) erzeugt, und wobei die Referenzpotenziale (U0, ...U6) in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt sind.

Beschreibung

Stromsparender Multibit-Delta-Sigma-Wandler

5 Die vorliegende Erfindung betrifft einen stromsparenden Multibit-Delta-Sigma-Wandler, bei dem insbesondere die Anzahl von Komparatoren in seinem Quantisierer reduziert ist.

10 Als Analog-Digital-Umsetzer bzw. Wandler werden häufig sogenannte Delta-Sigma-Wandler verwendet, weil diese hohe Quantisierungen und einen großen Signal-Rauschabstand bieten.

Ein einfacher allgemein bekannter Ein-Bit-Delta-Sigma-Wandler liefert aus einem analogen Eingangssignal einen Ein-Bit-
15 Datenstrom. Wenn die Amplitude des analogen Eingangssignals ansteigt, überwiegt am Ausgang des Delta-Sigma-Wandlers ein logischer H-Pegel, fällt sie, überwiegt ein logischer L-Pegel. Bei konstantem Eingangssignal fluktuiert das digitale Ausgangssignal zwischen den H- und L-Pegeln. Das analoge Sig-
20 nal kann dann prinzipiell durch Integration wieder aus dem Bitstrom gewonnen werden.

Im Wesentlichen besteht ein solcher Ein-Bit-Delta-Sigma-Wandler aus zwei Blöcken: einem analogen Modulator und einem
25 digitalen Filter. Dabei ist der Modulator prinzipiell nur ein Komparator, dem ein Integrierer vorgeschaltet ist. Mit einem Differenzverstärker wird von dem analogen Eingangssignal ein mit einem Einbit Digital-Analog-Wandler rückgewandeltem Ausgangssignal abgezogen. Dieses Signal aus dem Differenzver-
30 stärker wird einem Komparator zugeführt, dem ein Integrierer vorgeschaltet ist. So wird der Komparator ständig zurückgesetzt und es entsteht der Ein-Bit-Datenstrom.

Da bei kleinen Eingangspegeln das Quantisierungsrauschen bei
35 dieser Ein-Bit-Wandlung relativ groß ist, weil das digitale Ausgangssignal lediglich vollständig zwischen H- und L-Pegel

schwankt, wird häufig eine Multibit-Delta-Sigma-Modulation eingesetzt.

Ein allgemein nach dem Stand der Technik bekannter Multibit-Delta-Sigma-Wandler ist in Figur 1 dargestellt.

Der Multibit-Delta-Sigma-Wandler MDSW weist einen Eingang E zum Einkoppeln eines analogen Eingangssignals ZA und einen Ausgang A zur Ausgabe eines N-Bit breiten digitalen Ausgangssignals ZD auf. Es ist ein Digital-Analog-Wandler DAW von N Bitbreite vorgesehen, der aus dem digitalen Ausgangssignal ZD ein Rückkopplungssignal Z3 wandelt. Von dem analogen Eingangssignal ZA wird das Rückkopplungssignal Z3 mit einem Differenzverstärker DV abgezogen. Das so erhaltene Differenzsignal Z1 wird von einem Integrierer S integriert und als integriertes Signal Z2 einem N-Bit Quantisierer zugeführt, der daraus das digitale Ausgangssignal bildet.

Häufig ist auch ein Kompensations-Digital-Analog-Wandler KDAW vorgesehen, welcher das digitale Ausgangssignal ZD in ein analoges Kompensationssignal ZK1 rückwandelt, welches anschließend in einem Verstärker FBE um einen Kompensationsfaktor verstärkt wird und als Kompensationssignal ZK von dem gefilterten Signal Z2 mittels einer Addiereinrichtung AD abgezogen wird. Mittels dieses Kompensationssignals ZK kann die Stabilität und das Signalrauschverhältnis verbessert werden, wenn zwischen den Abtastzeitpunkten des Quantisierers Q und dem Abtastzeitpunkt des Rückkopplungs-Digital-Analog-Wandlers DAW ein wesentlicher Zeitversatz herrscht. Dieser auch als Excess-Loop-Delay bekannter Zeitversatz führt insbesondere bei hohen Taktfrequenzen zu Instabilitäten und einem schlechten Signalrauschverhältnis. Eine Verbesserung der Ausgangssignalqualität kann dann durch einen derartigen Kompensationspfad erreicht werden, der einen ebenfalls N Bit breiten Kompensations-Digital-Analog-Wandler KDAW aufweist. Der Schaltungsaufwand ist erheblich, da der Kompensations-Digital-Analog-

Wandler KDAW dieselbe Bitbreite N wie der Quantisierer haben muss.

Der Quantisierer Q wird in der Regel als Flash-Analog-Digital-Wandler ausgeführt. Eine entsprechende Schaltungsanordnung eines demgemäßen Quantisierers Q ist in Figur 2 dargestellt.

Es ist beispielhaft ein Drei-Bit-Quantisierer Q dargestellt, der einen Eingang A zum Entgegennehmen des integrierten Signals Z2 und einen Ausgang D zur Ausgabe des digitalen Ausgangssignals D aufweist. Es sind sieben Komparatoren K1, ... K7 vorgesehen, die jeweils einen ersten Eingang L1, ... L7 zum Entgegennehmen des integrierten Signals Z2, jeweils einen zweiten Eingang M1, ... M7 zum Anschluss eines jeweiligen Referenzpotenzials U1, ... U7 und jeweils einen Ausgang U1, ... U7 zum Ausgeben eines Vergleichsergebnisses P1, ... P7 aufweisen. Die Vergleichsergebnisse P1, ... P7 werden an einen Dekodierer DEK geführt, der das digitale Ausgangssignal ZE bildet.

Die Referenzpotenziale U0, ... U6 werden zwischen Widerständen R1, ... R7 einer Widerstandskette abgegriffen, die zwischen einem oberen Referenzpotenzial VREFP und einem unteren Referenzpotenzial VREFN geschaltet sind, abgegriffen. So liegen die Vergleichsergebnisse jeweils entweder als H- oder L-Pegel vor. Je nach Pegel des integrierten analogen Eingangssignals Z2 schalten die jeweiligen Komparatoren einen H-Pegel oder einen L-Pegel als Vergleichsresultat an den Dekodierer.

Die Vergleichsresultate liegen somit im Thermometerkode vor, und der Dekodierer bildet daraus ein geeignetes, z.B. binär kodiertes digitales Ausgangssignal ZD.

Ein besonders großer Nachteil dieser Quantisierieranordnung Q nach dem Stand der Technik liegt in ihrem hohen Stromverbrauch. Quantisierer sind besonders große Leistungsaufneh-

mer. Da mit der Bitbreite N eines Quantisierers Q die Anzahl der notwendigen Komparatoren exponentiell ansteigt, weisen auch Multibit-Delta-Sigma-Wandler nach dem Stand der Technik mit hoher Bitbreite eine hohe Leistungsaufnahme auf.

5

Z.B. werden bei einem Quantisierer für einen Vier-Bit-Delta-Sigma-Wandler fünfzehn Komparatoren benötigt. Ferner ist ein ebenfalls 4-Bit-breiter Kompensations-Digital-Analog-Wandler vorzuhalten. Daher sind Multibit-Delta-Sigma-Wandler mit hoher Bitbreite in der Regel starke Stromverbraucher.

10

Der vorliegenden Erfindung liegt nunmehr die Aufgabe zugrunde, einen stromsparenden Multibit-Delta-Sigma-Wandler zu schaffen, der insbesondere eine geringe Anzahl von Komparatoren aufweist und einen geringen Flächenbedarf als integrierte Schaltung aufweist.

15

Erfindungsgemäß wird diese Aufgabe von einem stromsparenden Multibit-Delta-Sigma-Wandler gelöst, der die Merkmale des Patentanspruchs 1 aufweist. Ferner löst die Aufgabe ein Multibit-Delta-Sigma-Wandler, der die Merkmale des nebengeordneten Patentanspruchs 10 aufweist.

20

Demgemäß ist ein stromsparender Multibit-Delta-Sigma-Wandler vorgesehen mit einem Eingang für ein analoges Eingangssignal und einem Ausgang für ein digitales Ausgangssignal, mit einem Digital-Analog-Wandler, der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals zu einem analogen Rückkopplungssignal, mit einer Summiereinrichtung zum Bilden der Differenz zwischen dem Eingangssignal und dem Rückkopplungssignal, mit einem Filter zum Filtern Differenzsignals, und mit einer getakteten Quantisiereinrichtung zum Quantisieren des gefilterten Differenzsignals zu dem digitalen Ausgangssignal mit der Bitbreite N . Dabei weist die Quantisiereinrichtung eine Anzahl Y Komparatoren auf, die das gefilterte Signal mit jeweils einem dem jeweiligen Komparator zugehörigen Referenzpotenzial vergleichen und die jeweils ein Ver-

25

30

35

gleichsergebnis an einen Dekodierer ausgeben, der aus den Vergleichsergebnissen das digitale Ausgangssignal erzeugt. Dabei sind die Referenzpotenziale in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt.

5

Es ist ferner ein stromsparender Multibit-Delta-Sigma-Wandler mit einem Eingang für ein analoges Eingangssignal und einem Ausgang für ein digitales Ausgangssignal vorgesehen, der einen Digital-Analog-Wandler, der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals zu einem analogen Rückkopplungssignal; eine Summiereinrichtung zum Bilden der Differenz zwischen dem Eingangssignal und dem Rückkopplungssignal; einen Filter zum Filtern des Differenzsignals; und eine getakteten Quantisiereinrichtung zum Quantisieren des gefilterten Differenzsignals zu dem digitalen Ausgangssignal mit der Bitbreite N aufweist. Dabei beaufschlagt die Quantisiereinrichtung das gefilterte Signal mit einem Potenzial-Offset und weist eine Anzahl Y Komparatoren auf, die das gefilterte und beaufschlagte Signal mit jeweils einem dem jeweiligen Komparator zugehörigen Referenzpotenzial vergleichen und die jeweils ein Vergleichsergebnis an einen Dekodierer ausgeben, der aus den Vergleichsergebnissen das digitale Ausgangssignal erzeugt. Ferner ist der Potenzial-Offset in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt.

Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, dass durch Kenntnis der Vergleichsergebnisse - bzw. Kenntnis der Wandlerergebnisse und damit des digitalen Ausgangssignals - zu einem vorherigen Zeitpunkt die Anzahl der Komparatoren verringert wird. Da sich das analoge gefilterte Eingangssignal der Quantisiereinrichtung im Bezug zur Taktfrequenz nur langsam ändert, findet eine Änderung im Thermometercode, der von den Komparatoren ausgegeben wird, nur an einem der Komparatoren statt. Daher genügt es erfindungsgemäß, den Komparator zu lokalisieren, der sich gegenüber seinem ausgegebenen Vergleichsergebnis zu einem vorhergehenden

- Takt ändert. So wird die entsprechende Stelle im Thermometer-
kode und nur einige wenige weitere Komparatoren vorgehalten.
Von Takt zu Takt sind lediglich die sich ändernden Ver-
gleichsergebnisse relevant, die dadurch gekennzeichnet sind,
5 dass die Schaltschwelle des entsprechenden Komparators nahe
dem Pegel des analogen gefilterten Signals liegt. Erfindungs-
gemäß lässt sich auch das gefilterte Signal mit einem Poten-
zial-Offset beaufschlagen, wodurch ein beaufschlagtes Signal
an die Komparatoren der Quantisiereinrichtung geführt ist,
10 dessen Potenzialpegel immer in der Nähe der Schwellspannungen
der - erfindungsgemäß reduzierten Anzahl der - Komparatoren
nachgeführt ist. Dadurch, dass die Quantisiereinrichtung in
dem erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-
Wandler weniger Komparatoren als ein entsprechender N-Bit
15 breiter Quantisierer nach dem Stand der Technik aufweist, ist
der erfindungsgemäße Multibit-Delta-Sigma-Wandler extrem
stromsparend. Zudem ist der Flächenbedarf auf einem Halblei-
terchip viel geringer als bei sonst üblichen Wandlern.
- 20 In einer bevorzugten Ausführungsform weist die Summierein-
richtung einen Differenzverstärker zum Verstärken der Diffe-
renz zwischen dem Eingangssignal und dem Rückkopplungssignal
auf und/oder das Filter weist einen Integrierer zum Integrie-
ren des verstärkten Differenzsignals auf.
- 25 Bevorzugter Weise weist die Quantisiereinrichtung des erfin-
dungsgemäßen Multibit-Delta-Sigma-Wandlers weniger als 2^N-1
Komparatoren auf.
- 30 In einer bevorzugten Weiterbildung des Multibit-Delta-Sigma-
Wandlers weist die Quantisiereinrichtung eine Schaltsteuerung
auf, die in Abhängigkeit von dem vorherigen Vergleichsergeb-
nis Referenzpotenziale an die Komparatoren schaltet, so dass
bei einer Änderung des Eingangssignals (ZA) mindestens einer
35 der Komparatoren sein Vergleichsergebnis ändert. Bevorzugt
ist ein Speicher zum Zwischenspeichern des digitalen Aus-
gangssignals vorgesehen. Aus dem gespeicherten digitalen Aus-

gangssignal lässt sich derjenige Komparator lokalisieren, der einer Stelle des Thermometerkodes entspricht und welcher eine Schaltschwelle aufweist, die dem Pegel des gefilterten Signals am nächsten liegt.

5

Die Schaltsteuerung ist bevorzugt an den Speicher gekoppelt und schaltet die Referenzpotenziale in Abhängigkeit von dem zwischengespeicherten Ausgangssignal an die Komparatoren.

- 10 In einer bevorzugten Ausführungsform des erfindungsgemäßen Multibit-Delta-Sigma-Wandlers weist die Quantisiereinrichtung mindestens einen ersten, zweiten und dritten Komparator mit jeweils einem ersten Eingang, einem zweiten Eingang und einem Ausgang auf. Dabei sind an die ersten Eingänge das gefilterte
15 Signal angelegt und an die zweiten Eingänge jeweils ein erstes, zweites und drittes Referenzpotenzial. Die Ausgänge der Komparatoren liefern jeweils ein Vergleichsergebnis und die Referenzpotenziale sind so gewählt, dass das zweite Referenzpotenzial zwischen dem ersten und dritten Referenzpotenzial
20 liegt und dass das zweite Referenzpotenzial dem Potenzial des gefilterten Signals am nächsten liegt.

- Bei einer Ausführung der Quantisiereinrichtung mit nur drei Komparatoren ist es möglich, jeweils die Referenzpotenziale
25 derart abzustimmen bzw. nachzuführen, dass der zweite bzw. mittlere Komparator sein Vergleichsergebnis von Takt zu Takt ändert. In dem Drei-Bit-Thermometerkode entspricht die Gesamtheit der Vergleichsergebnisse der drei Komparatoren dann jeweils einem Anstieg, Gleichbleiben oder Abfallen des analo-
30 gen gefilterten Eingangssignals. Der Dekodierer kann daraus ausgehend von dem bekannten vorherigen Wandlerergebnis das entsprechende digitale Ausgangssignal bzw. den vollständigen Thermometerkode konstruieren. Der große Vorteil dieser bevorzugten Ausführungsform liegt darin dass in der Tat nur drei
35 Komparatoren auch bei hohen Bitbreiten ausreichend sind.

Ferner ist es vorteilhaft, dass die Referenzpotenziale äquidistant gewählt sind und dass $2^N - 1$ verschiedene Referenzpotenziale schaltbar sind.

- 5 In noch einer bevorzugten Weiterbildung der Erfindung sind der Digital-Analog-Wandler und die Quantisiereinrichtung mit der Bitbreite N und mit der Bitbreite $M = \ln(Y+1)/\ln(2)$ betreibbar, wobei die Bitbreite M der Anzahl Y der Komparatoren entspricht.

10

Dadurch ist es möglich, den erfindungsgemäßen Multibit-Delta-Sigma-Wandler in einem ersten Betriebsmodus mit einer Bitbreite M zu betreiben, wobei die Quantisiereinrichtung als einfacher Flash-Analog-Digital-Wandler funktioniert, also mit
15 einer reduzierten Auflösung. Dies ist insbesondere von Vorteil, wenn in einer Einschaltphase die Referenzpotenziale an die Komparatoren zunächst unbekannt sind, weil kein zuverlässiges Wandlungsergebnis des vorhergehenden Takt- bzw. Wandlerzyklus bereit steht. Erst in einem zweiten Betriebsmodus
20 wird dann der Multibit-Delta-Sigma-Wandler mit der vollen Bitbreite N und mit nachgeführten Referenzpotenzialen betrieben. Dies dient der Stabilität des gesamten erfindungsgemäßen Multibit-Delta-Sigma-Wandlers.

- 25 Bevorzugter Weise ist der Digital-Analog-Wandler und die Quantisiereinrichtung zwischen den beiden Bitbreiten N und M umschaltbar. In der vorteilhaften Weiterbildung weist die Schaltsteuerung vorzugsweise eine Zähleinrichtung zum Erzeugen eines digitalen Mittelwertsignals in $2^N - Y$ -stelligem Thermometerkode in Abhängigkeit von den Vergleichsergebnissen
30 auf. Besonders bevorzugt hat die Zähleinrichtung einen Vorwärts-Rückwärts-Zähler.

- Der Vorwärts-Rückwärts-Zähler stellt in einfacher Weise den
35 von Wandlung zu Wandlung konstanten Teil des in Thermometerkode vorliegenden Ausgangssignals dar, dem ein Differenzsignal, welches im Wesentlichen dem Y -stellige Thermometerkode

aus den Vergleichsergebnissen entspricht zuaddiert wird. Vorzugsweise geschieht dies in dem Dekodierer, welcher eine Addiereinrichtung aufweist zum Bilden des N Bit breiten Ausgangssignals aus den Vergleichsergebnissen und dem Mittelwertsignal.

In einer bevorzugten Ausführungsform weist die Schaltsteuerung ferner eine Steuerlogik auf, die in Abhängigkeit von den Vergleichsergebnissen entweder die Vergleichsergebnisse in Y-stelligem M Bit breiten Thermometerkode als digitales Ausgangssignal schaltet, oder die mit dem Mittelwertsignal kombinierten Vergleichsergebnisse als digitales Ausgangssignal in 2^N -stelligem, N-Bit breitem Thermometerkode schaltet. Thermometerkode mit 2^N Stellen kann auf 2^N-1 Datenleitungen übertragen werden.

Die als Fangschaltung arbeitende Steuerlogik steuert die Quantisiereinrichtung entweder als M-Bit Flash-Analog-Digital-Wandler oder als N-Bit Analog-Digital-Wandler, bei dem die Referenzpotenziale für die eingesetzten Komparatoren entsprechend einem Wandlerergebnis nachgeführt werden bzw. das Eingangssignal mit einem Potenzial-Offset beaufschlagt wird. Dies hat den Vorteil, dass die Nachführung der Referenzpotenziale erst dann geschieht, wenn ein stabiler Arbeitspunkt des Regelkreises der Quantisiereinrichtung gefunden ist.

In einer weiteren bevorzugten Ausführungsform weist die Schaltsteuerung einen Referenz-Digital-Analog-Wandler zum Erzeugen des Offset-Potenzials aus dem digitalen Mittelwertsignal auf. Da das Mittelwertsignal als 2^N -Y-stelliges Thermometerkodesignal auf 2^N -Y-1 Datenleitungen vorliegt, ist ein Referenz-Digital-Analog-Wandler eine besonders einfache Einrichtung zum Erzeugen des Potenzial-Offsets.

In einer weiteren bevorzugten Weiterbildung des erfindungsgemäßen Multi-Bit-Delta-Sigma-Wandlers weist die Quantisierein-

richtung einen Kompensations-Analog-Digital-Wandler zum Wandeln der Vergleichsergebnisse in mindestens ein analoges Kompensationssignal und eine Addiereinrichtung zum Subtrahieren des analogen Kompensationssignals von dem gefilterten Differenzsignal auf.

Der Kompensations-Analog-Digital-Wandler dient vorteilhaft dazu, ein Excess-Loop-Delay zwischen den Abtastzeitpunkten der getakteten Quantisiereinrichtung und dem Digital-Analog-Wandler für das analoge Rückkopplungssignal zu kompensieren.

Vorteilhafter Weise entspricht die Bitbreite des Kompensations-Analog-Digital-Wandlers der Anzahl der Komparatoren in der Quantisiereinrichtung. In der erfindungsgemäßen Weiterbildung ist gegenüber dem Stand der Technik demnach ein erheblich bitreduzierter Rückkopplungs-Digital-Analog-Wandler einsetzbar, wodurch einerseits die Signalqualität des Ausgangssignals erheblich verbessert wird und andererseits der Multi-Delta-Sigma-Wandler stromsparend wird. Denn in dem Rückkopplungs-Digital-Analog-Wandler werden nur so wenige Wandlerzellen benötigt wie in dem erfindungsgemäß eingesetzten Nachlaufquantisierer bzw. -Analog-Digital-Wandler.

In einer bevorzugten Ausführungsform dieser Weiterbildung ist ferner ein Verstärker zum Verstärken des analogen Kompensationssignals mit einem Kompensationsfaktor vorgesehen. Ein derartiger Verstärker erlaubt es, den Kompensationsfaktor optimal einzustellen, sodass eine besonders gute Signalqualität bzw. ein besonders hohes Signal- zu Rauschverhältnis selbst bei Excess-Loop-Delays auftritt. Damit ist der erfindungsgemäße Multibit-Delta-Sigma-Wandler auch besonders geeignet zum Einsatz in Systemen, die eine hohe Bandbreite und extrem hohe Taktfrequenzen erfordern, wie es beispielsweise bei xDSL- oder UMTS-Anwendungen der Fall ist.

Weitere vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche sowie der Beschreibung unter Bezugnahme auf die Zeichnungen.

5 Die Erfindung wird nachfolgend anhand der schematischen Figuren und der Ausführungsbeispiele näher erläutert. Dabei zeigt:

10 Figur 1: einen Multibit-Delta-Sigma-Wandler nach dem Stand der Technik;

Figur 2: einen 3-Bit Quantisierer nach dem Stand der Technik;

15 Figur 3: eine Ausführungsform eines erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandlers;

Figur 4: eine Ausführungsform einer erfindungsgemäßen Quantisiereinrichtung;

20 Figur 5: eine zweite Ausführungsform eines erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandlers; und

Figur 6: ein Ausführungsbeispiel einer erfindungsgemäßen Vergleichseinrichtung.

25

Figur 7: eine erste Weiterbildung des erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandlers;

30 Figur 8: charakteristische Ausgangssignale des erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandlers in zwei Betriebsmodi;

Figur 9: eine zweite Weiterbildung des erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandlers;

35

Figur 10: eine dritte Weiterbildung des erfindungsgemäßen stromsparenden Multibit-Sigma-Delta-Wandlers; und

Figur 11: eine Weiterbildung einer erfindungsgemäßen Quantisierereinrichtung.

- 5 In den Figuren sind gleiche bzw. funktionsgleiche Elemente mit gleichen Bezugszeichen versehen.

Die Figur 3 zeigt einen erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandler.

10

Der Multibit-Delta-Sigma-Wandler 1 weist einen Eingang 2 zum Einkoppeln eines analogen Eingangssignals ZA und einen Ausgang 3 zum Auskoppeln eines digitalen Ausgangssignals ZD auf. Es ist ferner ein Digital-Analog-Wandler 4 vorgesehen, der
15 das digitale Ausgangssignal ZD zu einem analogen Rückkopplungssignal Z3 wandelt. Der Digital-Analog-Wandler 4 weist eine Bitbreite N auf. Es ist ein Differenzverstärker 5 als Summiereinrichtung vorgesehen, der das Rückkopplungssignal Z3 von dem analogen Eingangssignal ZA subtrahiert bzw. die Differenz zwischen dem analogen Eingangssignal ZA und dem Rückkopplungssignal Z3 verstärkt. Dieses verstärkende Differenzsignal Z1 wird von einem Filter, das hier als Integrierer 6 ausgeführt ist, integriert. Eine getaktete Quantisierereinrichtung 7 bildet aus dem gefilterten bzw. integrierten Differenzsignal Z2 das digitale Ausgangssignal ZD.
25

Die Quantisierereinrichtung liefert das digitale Ausgangssignal in derselben Bitbreite N, die der Digital-Analog-Wandler 4 aufweist.

30

Ein gängiges digitales Format stellt der Thermometerkode dar. 2^N Zustände entsprechen dabei 2^N geordneten Stellen, die jeweils logische Zustände Null oder Eins anzeigen. Die Anzahl der gesetzten Stellen entspricht dem Dezimalwert des entsprechenden digitalen Signals. Eine dezimale 4 in N=3 Bit breitem Binärkode, also 011, wird in $2^N=8$ -stelligem Thermometerkode auf 00001111 abgebildet. Da die Null in diesem Fall als

35

00000000 Thermometerkodesymbol dargestellt ist, wird zur Übertragung jeweils eine Datenleitung weniger als Stellen benötigt, also 2^N-1 Datenleitungen.

5 Die Quantisiereinrichtung 7 weist eine Schalt- und Vergleichseinrichtung 8 auf, die einen Eingang 9 zum Einkoppeln des integrierten Signals Z2, einen Ausgang 10 zum Auskoppeln des digitalen Ausgangssignals ZD und einen Steuereingang 11 für ein oder mehrere Steuersignale SCT aufweist. Die Schalt- und Steuersignale SCT sind von einer Steuerlogik 12 erzeugt, die an einen Zwischenspeicher 13 gekoppelt ist. Der Zwischenspeicher 13 speichert das digitale Ausgangssignal ZD von einem vorherigen Taktzyklus. Die Quantisiereinrichtung 7 quantisiert das integrierte Signal Z2 also in Abhängigkeit von
10 einem Quantisiererergebnis eines vorherigen Taktes. Die Arbeitsweise einer bevorzugten Ausführungsform der Schalt- und Vergleichseinrichtung ist in der Figur 4 erläutert.

Die Figur 4 zeigt eine bevorzugte Ausführungsform einer erfindungsgemäßen Schalt- und Vergleichseinrichtung 8. Die dargestellte Schalt- und Vergleichseinrichtung 8 ist beispielhaft für eine Quantisiereinrichtung ausgelegt, die ein $N = 3$ Bit breites digitales Ausgangssignal ZD liefert. Üblicherweise müssen in einem Drei-Bit-Quantisierer 2^N-1 , also sieben
20 Komparatoren vorgehalten werden.

Die Schalt- und Vergleichseinrichtung 8 weist einen Eingang 9 auf, zum Einkoppeln des integrierten Signals Z2, einen Ausgang 10 zum Auskoppeln des digitalen Ausgangssignals ZD und
30 einen Steuereingang 11 zum Entgegennehmen eines oder mehrerer Steuersignale SCT.

Es sind ferner sieben Widerstände, 14-20, die in Serie zwischen einem oberen Referenzpotenzial VREFP und einem unteren Referenzpotenzial VREFN geschaltet sind, vorgesehen. Zwischen
35 den Widerständen 14-20 sind sechs Referenzpotenziale U1, U2,

U3, U4, U5, U6 abgreifbar. Ferner dient das untere Referenzpotenzial VREFN als nulltes Referenzpotenzial U0.

5 Es sind y=3 Komparatoren 21, 22, 23 vorgesehen, die jeweils einen ersten Eingang 24, 25, 26 aufweisen, an den das integrierte Signal Z2 angelegt ist, jeweils einen zweiten Eingang 27, 28, 29 und jeweils einen Ausgang 30, 31, 32 zum Ausgeben eines jeweiligen Vergleichsergebnisses V1, V2, V3 aufweisen.

10 Die Vergleichsergebnisse werden einem Dekodierer zugeführt, der daraus in Abhängigkeit von einem Kodiersteuersignal SCD das digitale Ausgangssignal ZD erzeugt. Das Dekodiersteuersignal SCD kann wie die Steuersignale SCT von einer Steuerlogik 12 geliefert werden. An die zweiten Eingänge 27, 28, 29
15 der Komparatoren 21, 22, 23 schaltet eine von dem Schaltsignal SCT gesteuerte Schalteinrichtung 34 jeweils eines der Referenzpotenziale U0, U1, U2, U3, U4, U5, U6 durch.

Die Steuersignale SCT bzw. eine entsprechende Steuerlogik 12
20 steuert die Schalteinrichtung 34 derart, dass bei einer Änderung des integrierten Signals Z2 von einem Taktzyklus zum nächsten die Schaltstelle des mittleren bzw. zweiten Komparators 22 immer dem Pegel des integrierten Signals Z2 am nächsten liegt. Wenn z.B. der Pegel des integrierten Signals Z2
25 bei einem ersten Wandlerzyklus bzw. Takt zwischen dem Referenzpotenzial U1 und U2 liegt, und die Schaltschwelle des ersten Komparators 21 bei U3, die des zweiten Komparators 22 bei U2 und die des dritten Komparators bei U1 liegt, lauten die Vergleichsergebnisse V1 = L, V2 = L und V3 = H. Steigt
30 nun zu einem zweiten folgenden Takt der Pegel des integrierten Signals Z2 zwischen U2 und U3, liefern die Komparatoren bei unveränderten Schwellspannungen ein Vergleichsergebnis V1 = L, V2 = H und V3 = H.

35 Die Schwellspannungen der drei Komparatoren 21, 22, 23 sind so eingestellt, dass sie den Ausschnitt in einem vollständigen drei Bit breiten Thermometerkode (acht Stellen, die je-

weils H oder L aufweisen) überdecken, in dem ein Wechsel von H auf L von einem niedrigwertigen zu einem höherwertigen Bit auftritt. Da jedoch durch Zwischenspeicherung beispielsweise in einem Zwischenspeicher wie er in Abbildung 3 beschrieben ist, die vorherigen Vergleichsergebnisse bekannt sind, kann ein vollständiger 3 Bit breiter, also acht Stellen aufweisender Thermometerkode von einem Kodierer 33 rekonstruiert werden, der dann auch ein entsprechendes digitales Ausgangssignal ZD beispielsweise auch in einem Binärkode generiert.

Die Referenzpotenziale U0-U6 sind immer so an die zweiten Eingänge 27, 28, 29 der Komparatoren 21, 22, 23 geschaltet, dass der erste Komparator 21 eine höhere Schaltschwelle aufweist, als der zweite Komparator 22 und der zweite Komparator 22 eine höhere Schaltschwelle aufweist als der dritte Komparator 23.

Die Schaltschwellen zwischen dem ersten und dem zweiten Komparator 21, 22 und die Differenz der Schaltschwellen zwischen dem zweiten und dem dritten Komparator 22, 23 entspricht jeweils genau einer Stelle in einem Thermometerkode, der durch die äquidistanten Referenzpotenziale U0-U6 vorgegeben ist.

Von Takt zu Takt werden die Referenzpotenziale bzw. Schaltschwellen der Komparatoren 21, 22, 23 entweder um eine Stelle im Thermometerkode nach oben oder unten versetzt oder - sofern ein Übergang von H- auf L-Pegel bereits zwischen dem Vergleichsergebnis V1 und U2 oder V2 und U3 vorliegt - beibehalten.

Durch das Nachführen der Referenzpotenziale durch die Schalteinrichtung 34, die von der Steuerlogik 12 gesteuert ist, welche in Abhängigkeit von einem vorherigen Vergleichsergebnis bzw. Wandlerergebnis die jeweiligen Referenzpotenziale nachführt, sind die Schaltschwellen der y=3 Komparatoren 21, 22, 23 so steuert, dass sie in der Nähe des Pegels des integ-

rierten Signal Z2 liegen, wodurch erfindungsgemäß eine erhebliche Einsparung an Komparatoren möglich ist.

Ein herkömmlicher Drei-Bit-Quantisierer müsste wie in Figur 2
5 dargestellt ist, sieben Komparatoren aufweisen, die jeweils einen hohen Flächenbedarf und eine hohe Leistungsaufnahme haben.

Unter "in der Nähe des Pegels" wird hier verstanden, dass der
10 Pegel des integrierten Signals Z2 mindestens zwischen dem nächst höheren Referenzpotenzial zu der Schaltschwelle des ersten Komparators und dem nächst niedrigeren Referenzpotenzial zu der Schaltschwelle des dritten Komparators liegt.

15 Außerdem weist eine erfindungsgemäße Quantisiereinrichtung zum Einsatz in einem Multibit-Delta-Sigma-Wandler eine hervorragende Linearität auf, denn das Quantisiererergebnis hängt nur von drei oder weniger Komparatoren ab. D.h., eine Quantisierererkennlinie weist immer gleich große Quantisierestufen
20 auf. Da beim Stand der Technik viele Komparatoren eingesetzt sind, ist dies meist nicht gewährleistet, da die Komparatoren untereinander Schwankungen aufweisen können. Somit liefert die Reduzierung der Komparatoranzahl auch eine Verbesserung der Signalqualität des Multibit-Delta-Sigma-Wandlers.

25 In der Figur 5 ist eine zweite Ausführungsform eines erfindungsgemäßen Multibit-Delta-Sigma-Wandlers gezeigt.

Der erfindungsgemäßen Multibit-Delta-Sigma-Wandler 107 weist
30 im wesentlichen dieselben Elemente wie in Figur 3 auf, wobei jedoch die Quantisiereinrichtung 107 eingangsseitig das gefilterte bzw. verstärkte und integrierte Signal Z2 mit einem Potenzial-Offset PO beaufschlagt.

35 Die Quantisiereinrichtung 107 weist eine Vergleichseinrichtung 108 auf, die einen Eingang 109 zum Einkoppeln des gefilterten und mit einem Potenzial-Offset PO beaufschlagten Sig-

nals Z4, einen Ausgang 110 zum Auskoppeln des digitalen Ausgangssignals ZD und einen Steuereingang 111 für ein oder mehrere Steuersignale SCT aufweist.

- 5 Die Schalt- und Steuersignale SCT sind von einer Steuerlogik 112 erzeugt, die an einen Zwischenspeicher 113 gekoppelt ist. Der Potenzial-Offset PO wird von der Steuerlogik 112 geliefert und über einen Addierer 106 dem gefilterten Signal Z2 aufaddiert.

10

Der Zwischenspeicher 13 speichert das digitale Ausgangssignal ZD von einem vorherigen Taktzyklus. Die Quantisiereinrichtung 107 beaufschlagt das gefilterte Signal Z2 zunächst und quantisiert das beaufschlagte Signal Z4 also in Abhängigkeit von
15 einem Quantisiererergebnis eines vorherigen Taktes. Das gefilterte Signal Z2 wird derart beaufschlagt, dass der resultierende Signalpegel des beaufschlagten Signales Z4 immer zwischen den Schwellspannungen bzw. Referenzpotenzialen von beispielsweise drei Komparatoren, die in der Vergleichseinrichtung 108 angeordnet sind.
20

Die Figur 6 zeigt ein Ausführungsbeispiel einer erfindungsgemäßen Vergleichseinrichtung 108.

- 25 Die Schalt- und Vergleichseinrichtung 108 weist einen Eingang 109 auf, zum Einkoppeln des beaufschlagten Signals Z4, einen Ausgang 110 zum Auskoppeln des digitalen Ausgangssignals ZD und einen Steuereingang 111 zum Entgegennehmen von einem oder mehreren Steuersignalen SCT.

30

Es sind drei Komparatoren 121, 122, 123 vorgesehen, die jeweils einen ersten Eingang 124, 125, 126 aufweisen, an den das beaufschlagte Signal Z4 angelegt ist, jeweils einen zweiten Eingang 127, 128, 129 und jeweils einen Ausgang 130, 131,
35 132 zum Ausgeben eines jeweiligen Vergleichsergebnisses V101, V102, V103 aufweisen.

Die Vergleichsergebnisse werden einem Dekodierer 133 zugeführt, der daraus in Abhängigkeit von einem Kodiersteuersignal SCD das digitale Ausgangssignal ZD erzeugt. Das Dekodiersteuersignal SCD kann wie die Steuersignale SCT von einer Steuerlogik 112 geliefert werden. An die zweiten Eingänge 127, 128, 129 der Komparatoren 121, 122, 123 ist jeweils ein Referenzpotenziale U101, U102, U103 geschaltet. Diese Referenzpotenziale sind festgelegt und hier äquidistant vorgesehen.

Die entsprechende Steuerlogik 112 steuert den Potenzial-Offset PO derart, dass bei einer Änderung des gefilterten Signals Z2 von einem Taktzyklus zum nächsten die Schaltstelle des mittleren bzw. zweiten Komparators 122 immer dem Pegel des mit dem Potenzial-Offset PO beaufschlagten Signals Z4 am nächsten liegt. Die entsprechenden Vergleichsergebnisse V101, V102, V103 werden von der Dekodiereinrichtung 133 unter Berücksichtigung des Potenzialaufschlags PO, welcher positiv oder negativ sein kann, und des vorherigen Wandlungsergebnisses, welches in dem Zwischenspeicher 113 zwischengespeichert ist, verarbeitet. Dies wird über die Steuersignale SCT gesteuert.

Durch die Nachführung des Potenzial-Offsets in Abhängigkeit des vorherigen Wandlungsergebnisses ist wieder erfindungsgemäß eine Reduzierung der Anzahl der Komparatoren gegenüber dem Stand der Technik möglich.

Die Figur 7 zeigt eine vorteilhafte Weiterbildung des erfindungsgemäßen Multibit-Delta-Sigma-Wandlers mit einer speziellen Quantisiereinrichtung 207.

Die Grundstruktur des Multibit-Deltabit-Sigma-Wandlers 200 entspricht im Wesentlichen den Ausführungen zu den Figuren 3 und 5. Jedoch ist die Quantisiereinrichtung 207 und der Digital-Analog-Wandler 204 mit unterschiedlichen Bitbreiten betreibbar.

Die Quantisiereinrichtung 207 weist eine Schalt- und Vergleichseinrichtung 208 auf mit einem Eingang 209 für das gefilterte Signal Z2, einem Ausgang 210 für das digitale Ausgangssignal ZD, einer Schalteinrichtung 234, drei Komparatoren 221, 222, 223 und einem Dekodierer 233. Den drei Komparatoren 221, 222, 223 wird das gefilterte Signal Z2 und geeignete Referenzpotenziale von der Schalteinrichtung 234 zugeführt, wie dies auch in Figur 4 beschrieben ist. Die Vergleichsergebnisse V201, V202, V203 werden dem Dekodierer 233 zugeführt.

Der Y=3-stellige Thermometerkode bzw. die Vergleichsergebnisse V201, V202, V203 werden von dem Dekodierer 233 mit einem 2^N -Y=5-stelligem Thermometerkodesignal, dem Mittelwertsignal X zu dem Ausgangssignal ZD kombiniert. Dies geschieht in einer Addiereinrichtung 238.

Das Mittelwertsignal X wird von einem Vorwärts-Rückwärts-Zähler 239 bereitgestellt, der über drei Datenleitungen an die Ausgänge der Komparatoren 221, 222, 223 gekoppelt ist. Der Vorwärts-Rückwärts-Zähler 239 liefert an seinem Ausgang 240 ein digitales Signal, in 2^N -Y-stelligem Thermometerkode auf 2^N -Y-1 Datenleitungen. Falls das Vergleichsergebnis V201, V202, V203 von einem Takt zum nächsten größer wird, zählt der Vorwärts-Rückwärts-Zähler 239 hoch, und falls das Vergleichsergebnis niedriger wird, dekrementiert der Vorwärts-Rückwärts-Zähler 239 das Mittelwertsignal X um eine Stelle in dem Thermometerkode. Bei der hier gewählten Anzahl von y=3 Komparatoren 221, 222, 223 bietet sich eine Zählweise an, bei der der Wert am Ausgang 240 des Vorwärts-Rückwärts-Zählers 239 unverändert bleibt, falls sich nur das Vergleichsergebnis V202 des mittleren Komparators 222 von einem zum anderen Takt ändert, der Wert jedoch um eine Stelle im Thermometerkode inkrementiert/dekrementiert wird, falls sich das Vergleichsergebnis V201, V203 des oberen/unteren bzw. des mit dem höchsten/niedrigsten Referenzpotenzial betriebenen Komparators

221,223 ändert. Dann liegt das durch die drei Komparatoren abgedeckte Potenzialfenster immer um das Potenzial des Eingangssignals der Quantisiereinrichtung 207 bzw. des gefilterten Signals Z2.

5

Ferner ist eine Steuerlogik 212 vorgesehen, welche ebenfalls die Vergleichsergebnisse V201, V202, V203 im Y=3-stelligen Thermometerkode auswertet. Die Vergleichsergebnisse können auch als Differenzsignal verstanden werden.

10

Die Steuerlogik 212 liefert Steuersignale an die Schalteinrichtung 234 und bestimmt die den Komparatoren 221,222,223 zugeordneten Referenzpotenziale. Die Steuerlogik 212 steuert einen steuerbaren Schalter 241 über ein Steuersignal SCS, wobei bei der steuerbare Schalter 241 dem Ausgang 240 des Vorwärts-Rückwärts-Zählers 239 nachgeschaltet ist, in geschlossenem Zustand das Mittelwertsignal X dem Dekodierer 233 zuführt und in geöffnetem Zustand kein Mittelwertsignal X passieren lässt.

20

Die Steuerlogik 212 schaltet auch den Digital-Analog-Wandler 204 über ein Steuersignal SCK zwischen verschiedenen Wandlungsbitbreiten um.

25 In der vorteilhaften Weiterbildung des erfindungsgemäßen Multibit-Delta-Sigma-Wandlers 200 sind zwei Betriebsmodi möglich. In dem Nachführ- bzw. Nachlaufmodus, wie er auch vorstehend in den Erläuterungen zu den Figuren 3 bis 6 beschrieben wurde, liefert die Quantisiereinrichtung 207 an ihrem
30 Ausgang 210 ein $N=3$ Bit breites digitales Ausgangssignal im Thermometerkode, welcher $2^N=8$ Stellen aufweist. Das rückgekoppelte Ausgangssignal ZD wird also in der Regel auf 7 Datenleitungen an den Digital-Analog-Wandler 204 geführt.

35 In dem zweiten Betriebsmodus, dem Flash-Modus, arbeitet die Quantisiereinrichtung 207 wie ein 2-Bit Flash-Analog-Digital-Wandler. Die Bitbreite $M=\ln(Y+1)/\ln(2)$ entspricht der Anzahl

Y=3 der eingesetzten Komparatoren 221, 222, 223. Dieses 2 Bit breite Differenzsignal aus den Vergleichsergebnissen V201, V202, V203 benötigt Y=3 Datenleitungen, wenn es im Thermometerkode dargestellt ist. In dem Flash-Modus öffnet die Steuerlogik 212 den steuerbaren Schalter 241, sodass die Addiereinrichtung 238 des Dekodierers 233 lediglich das Differenzsignal, also die Vergleichsergebnisse V201, V202, V203 der als Flash-Analog-Digital-Wandler arbeitenden Komparatoren 221, 222, 223 weiterleitet. In dem Flash-Modus signalisiert die Steuerlogik 212 dem Digital-Analog-Wandler 204, welcher als 2-Bit Wandler ausgeführt betreibbar ist, dass lediglich die auf den Y=3 entsprechenden Datenleitungen zugeführten Thermometerkodesignale des digitalen Ausgangssignals ZD in das analoge Rückkopplungssignal gewandelt werden sollen.

Der Flash-Modus des Multibit-Delta-Sigma-Wandlers 200 ist von besonderem Vorteil in der Hochfahr- bzw. Einschaltphase des Multibit-Delta-Sigma-Wandlers. Beim Hochfahren in dem Nachlaufmodus würden die Komparatoren 221, 222, 223 immer die Differenz zum vorigen Wandlungswert bilden, welcher beim Einschalten nicht bekannt ist. Der Zähler wird im Vorwärts-Rückwärts-Zähler 239 dann inkrementiert bzw. dekrementiert um dem Eingangssignal Z2 der Quantisiereinrichtung 207 zu folgen. Das dann erzeugte Ausgangssignal wird dem Digital-Analog-Wandler 204 in der Rückkopplung übergeben. Falls der Quantisierer im Nachführmodus das Ausgangssignal ZD inkrementiert, wird das invertierte und gefilterte Signal Z2 dekrementiert, wodurch nie ein stabiler Arbeitspunkt gefunden werden kann.

Daher ist die Steuerlogik 212 so als Fangschaltung ausgeführt, dass während der Hochfahrphase die Quantisiereinrichtung 207 als Flash-Wandler arbeitet. Dies geschieht in dem hier gewählten Ausführungsbeispiel als 2-Bit Flash-Analog-Digital-Wandler, der durch die drei Komparatoren 221, 222, 223 realisiert ist.

Vorzugsweise schaltet die Steuerlogik über Steuersignale SCT die Schaltsteuerung 234 derart, dass der gesamte Aussteuerbereich, welcher durch die Differenz zwischen dem höchsten Referenzpotenzial und dem niedrigsten Referenzpotenzial gegeben ist, vollständig ausgenutzt wird. Bei einer analog der Figur 4 gewählten Referenzpotenzialanordnung sind dann in dem Flash-Modus die Referenzpotenziale U0, U3 und U6 an die Komparatoren 223, 222, 221 geschaltet. Die Auflösung wird in dieser Flash-Phase bzw. dem Flash-Modus gröber. Sobald ein stabiler Arbeitspunkt gefunden ist, schaltet die Steuerlogik 212 in den zuvor beschriebenen Nachführmodus und führt das Mittelwertsignal X bzw. das Ergebnis des Vorwärts-Rückwärts-Zähler 239 an den Dekodierer 233 der aus dem Differenzsignal, welches die Vergleichsergebnisse V201, V202, V203 der nachgeführten Komparatoren darstellt und dem Mittelwertsignal X ein N-Bit breites Ausgangssignal ZD kombiniert.

Ein beispielhafter Signalverlauf des digitalen Ausgangssignals zeigt die Figur 8.

Die Steuerlogik 212 kontrolliert die Vergleichsergebnisse V201, 202, V203 der Komparatoren 221, 222, 223 und schaltet bei einem vorbestimmten Wert dieses Differenzsignals vom Flash-Modus in den Nachlaufmodus. Während des Flash-Modus ist das Ausgangssignal ZD in zwei Bit quantisiert. Wird von der Steuerlogik 212 ein Nulldurchgang des Quantisierereingangssignals bzw. des gefilterten Signals Z2 detektiert, schaltet die Steuerlogik 212 die Quantisiereinrichtung 207 in den Nachlaufmodus. Ab dem Umschaltzeitpunkt geschieht die Quantisierung mit drei Bit.

In der Figur 9 ist eine alternative Ausführungsform der vorteilhaften Weiterbildung des Multibit-Delta-Sigma-Wandlers 300 dargestellt.

Der Aufbau entspricht im Wesentlichen der in Figur 7 beschriebenen Ausführungsform. Die Quantisiereinrichtung 307

ist jedoch so ausgestaltet, um das gefilterte Signal Z2 mit einem Potenzial-Offset PO zu beaufschlagen. Es ist eine Vergleichseinrichtung 308 vorgesehen, die drei Komparatoren 321, 322, 323, einen Dekodierer 333 und einen Addierer 306 aufweist. Die Vergleichsergebnisse V301, V302, V303 der Komparatoren 321, 322, 323 werden dem Dekodierer 333 zugeführt und einer Steuerlogik 312, sowie einem Vorwärts-Rückwärts-Zähler 339.

Der Vorwärts-Rückwärts-Zähler 339 liefert an einem Ausgang 340 ein Mittelwertsignal X im Thermometerkode mit $2^N - Y$ Stellen auf $2^N - Y - 1$ Leitungen. Dieser wird über einen steuerbaren Schalter 341 an einem Steuereingang 311 der Vergleichseinrichtung 308 und von dort dem Dekodierer 333 zugeführt.

Das Mittelwertsignal X ist außerdem an einen Referenz-Digital-Analog-Wandler 342 geführt, der daraus den analogen Potenzial-Offset PO generiert. Dieser Potenzial-Offset wird dem gefilterten Signal Z2 über den Addierer 306 addiert.

Die Steuerlogik 312 schaltet mittels der Schaltsignale STS den ersten steuerbaren Schalter 341 und einen zweiten steuerbaren Schalter 243, der dem Referenz-Digital-Analog-Wandler 342 nachgeschaltet ist.

Im Flash-Modus trennt die Steuerlogik 312 den Potenzial-Offset PO mittels dem steuerbaren Schalter 343 von dem Addierer 306, und die Steuerlogik 312 trennt das Mittelwertsignal X mittels dem steuerbaren Schalter 341 von dem Dekodierer 333.

Somit arbeitet die alternative Ausführungsform der vorteilhaften Weiterbildung des Multibit-Delta-Sigma-Wandlers 300 wie vorstehend in den Erläuterungen zu Figur 7 ausgeführt im Flash-Modus als 2-Bit Multibit-Delta-Sigma-Wandler und im Nachlaufmodus als 3-Bit Delta-Sigma-Wandler, wobei in beiden Modi jeweils nur drei Komparatoren 321, 322, 323 vorgehalten

werden müssen. Der Digital-Analog-Wandler 304 ist ebenfalls über das Steuersignal SCK durch die Steuerlogik 312 zwischen einem 2-Bit und einem 3-Bit Wandlermodus umschaltbar.

- 5 Die Figur 10 zeigt noch eine vorteilhafte Weiterbildung des Multi-Bit-Delta-Sigma-Wandlers 400.

Der Aufbau entspricht im Wesentlichen der in Figur 5 be-
schriebenen Ausführungsform, wobei zur Kompensation von einem
10 Zeitversatz zwischen den Abtastzeitpunkten der Quantisierein-
richtung 407 und dem Rückkopplungs-Digital-Analog-Wandler 4
ein Kompensations-Analog-Digital-Wandler 404 vorgesehen ist,
der die Vergleichsergebnisse V401, V402, V403, welche ein di-
gitales Thermometerkodesignal Z6 bilden, in ein Kompensati-
15 onssignal ZK1 wandelt. Die getaktete Quantisiereinrichtung
407 weist einen Eingang 410 für das gefilterte analoge Signal
Z2 bzw. das gefilterte Differenzsignal Z2 und einen Ausgang
411 für das digitale Ausgangssignal ZD auf.

- 20 Es sind in der hier beschriebenen Ausführungsform drei Kompa-
ratoren 21, 22, 23 vorgesehen, deren Referenzanschlüsse 27,
28, 29 an eine Referenzsignalerzeugungseinheit 406 ange-
schlossen sind. Die Referenzsignalerzeugungseinheit 406 lie-
fert geeignete konstante Referenzpotenziale. An die zweiten
25 Eingänge 24, 25, 26 der Komparatoren 21, 22, 23 ist das mit
einem Potenzial-Offset PO und dem Kompensationssignal ZK2 be-
aufschlagte gefilterte analoge Signal Z5 zugeführt.

Die drei jeweiligen Vergleichsergebnisse V401, V402, V403
30 bilden ein bitreduziertes digitales Signal Z6, welches einer
Zähleinrichtung 439 zugeführt ist, dem 3-Bit breiten Rück-
kopplungs-Digital-Analog-Wandler 404 und der Addiereinrich-
tung 438 zugeführt ist.

- 35 Die Zählereinrichtung 439 liefert an ihrem Ausgang 440 ein
Mittelwertsignal X, wie es aus den vorhergehenden Ausfüh-

rungsbeispielen bekannt ist, welches ebenfalls der Addiereinrichtung 438 zugeführt ist.

Die Addiereinrichtung 438 addiert das Mittelwertsignal X und das Wandlungsergebnis bzw. das aus den Vergleichsergebnissen V401, V402, V403 gebildete digitale Signal Z6 zu dem digitalen Ausgangssignal ZD des entsprechenden Multibit-Delta-Sigma-Wandlers 400 und liefert es an den Ausgang 411 der Quantisiereinrichtung 407.

Das Mittelwertsignal X ist ferner einem Referenz-Digital-Analog-Wandler 442 zugeführt, der daraus das analoge Offset-Potenzial PO bildet, welches über einen Addierer 409 dem gefilterten analogen Signal Z2 beaufschlagt ist.

Das bitreduzierte digitale Signal Z6 wird ferner durch den Kompensations-Digital-Analog-Wandler 404, welcher eine Bitbreite aufweist, die der Anzahl der Komparatoren 21, 22, 23 entspricht, zugeführt. Der Kompensations-Digital-Analog-Wandler 404 liefert ein erstes Kompensationssignal ZK1, welches von einem Verstärker 405 um einen Kompensations- bzw. Verstärkungsfaktor verstärkt wird. Das verstärkte erste Kompensationssignal ZK1 wird als Kompensationssignal ZK2 über einen zweiten Addierer 408 mit dem gefilterten und mit dem Potenzial-Offset PO beaufschlagten Signal verknüpft. Im Wesentlichen wird das zweite analoge Kompensationssignal ZK2 von dem gefilterten und beaufschlagten Signal abgezogen bzw. subtrahiert.

Durch den aus dem Kompensations-Digital-Analog-Wandler 404, Verstärker 405 und zweitem Addierer 408 gebildeten Pfad wird ein Zeitversatz zwischen dem Abtastzeitpunkt des Rückkopplungs-Digital-Analog-Wandlers 4 und den Komparatoren 21, 22, 23 der Quantisiereinrichtung 407 kompensiert. Dadurch ist eine besonders hohe Signalqualität erreichbar.

Es ist hierbei von besonderem Vorteil, erfindungsgemäß den Kompensationspfad innerhalb der Quantisiereinrichtung 407 vorzusehen, da dadurch in dem Kompensations-Digital-Analog-Wandler 404 lediglich drei Digital-Analog-Wandlerzellen vorgesehen sein müssen.

Selbstverständlich lässt sich die erfindungsgemäße Vorgehensweise ebenso mit den Ausführungsbeispielen gemäß der Figuren 3, 5, 7 und 9 kombinieren. Lediglich beispielhaft ist in Figur 10 die Anwendung des bitreduzierten Kompensations-Digital-Analog-Wandlers 404 dargestellt, wobei die Nachführung des Quantisiererfensters durch einen Potenzial-Offset PO für das Eingangssignal Z2 realisiert ist.

In der Figur 11 ist eine zweite vorteilhafte Weiterbildung der Quantisiereinrichtung 507 dargestellt.

Die Quantisiereinrichtung 507 weist einen Eingang 509 für das gefilterte analoge Signal Z2 und einen Ausgang 510 für das digitale Ausgangssignal ZD auf. Eine Schaltungsanordnung 504 zur Ausbildung eines Nachlauf- bzw. Tracking-Analog-Digital-Wandlers ist hier schematisch dargestellt.

Es ist eine Kette von sieben in Serie geschalteten Referenzwiderständen 501 - 506, 508 zwischen einem oberen Referenzpotenzial VRFEFP und einem unteren Referenzpotenzial VREFN geschaltet. Zwischen den Widerständen 501 - 506, 508 sind, wie beispielsweise analog in der Figur 4 gezeigt, Referenzpotenziale abgreifbar, die einer gesteuerten Schalteinrichtung 534 zugeführt sind. Die Schalteinrichtung 534 erhält auch das analoge gefilterte Signal Z2 als Eingangssignal.

Die Schalteinrichtung 534 ist von einer Steuerlogik 512 gesteuert und schaltet entweder das analoge gefilterte Signal Z2 oder entsprechend nachgeführte bzw. ausgewählte Referenzpotenziale über jeweils einen Kondensator 510, 511 an einen oberen und einen unteren Leitungsknoten XP, XN. Zwischen den

Leitungsknoten XP, XN sind zwei weitere Kondensatoren 513, 514, in Serie geschaltet. Zwischen den beiden weiteren Kondensatoren 513, 514 ist ein dritter, mittlerer Leitungsknoten XM vorgesehen.

5

An den oberen Leitungsknoten XP ist ein erster (Operations-) Verstärker 515, an den mittleren Leitungsknoten XM ein zweiter Verstärker 516 und an den unteren Leitungsknoten XN ein dritter Verstärker 517 angeschlossen. Die Verstärker 515, 10 516, 517 sind jeweils über steuerbare Schalter 518, 519, 520 rückkoppelbar.

Im weiteren Signalpfad der jeweiligen Verstärker 515, 516, 517 sind ein erster, zweiter und dritter Komparator 521, 522, 15 523 geschaltet, die jeweils Vergleichsergebnisse V501, V502, V503 liefern. Die drei Vergleichsergebnisse V501, V502, V503 bilden ein digitales Signal Z6, hier beispielsweise mit der Bitbreite drei. Das digitale Signal Z6 ist einer Kodierlogik 524 zugeführt, die daraus ein Hoch- bzw. Tiefsetzsignal UD 20 erzeugt, welches einer Zähleinrichtung 539 zugeführt ist. Die Kodierlogik 524 liefert ein Hochsetzsignal, wenn von einem zum nächsten Takt das in Thermometerkode vorliegende digitale Signal Z6 um eine Stelle ansteigt bzw. ein Tiefsetzsignal falls der Thermometerkode einen gegenüber dem vorherigen 25 Wandlerergebnis niedrigeren Wert anzeigt. Somit liefert die Zählereinrichtung 539 ein Mittelwertsignal X.

Dieses Mittelwertsignal ist auch der Steuerlogik 512 zugeführt, die so durch erfindungsgemäßes Schalten bzw. Nachführen der Referenzpotenziale an die Verstärker-Komparator-Kombination 515, 521, 516, 522, 517, 523 schließlich den bit-reduzierten Nachlauf-Analog-Digital-Wandler vervollständigt. Eine der Zählereinrichtung 539 nachgeschaltete Addiereinrichtung 538 verknüpft das Mittelwertsignal X mit dem digitalen 35 Signal Z6 der Komparatoren 521, 522, 523 additiv zu dem digitalen Ausgangssignal ZD, welches an dem Ausgang 510 abgreifbar ist.

Zum Wandeln des gefilterten analogen Signals Z2 ist, beispielsweise in einer Abtast- und Haltephase, während eines ersten Halbtaktes das analoge gefilterte Signal Z2 an den oberen und unteren Leitungsknoten XP, XN geschaltet, und die Rückkopplungsschalter 518, 519, 520 der Verstärker 515, 516, 517 sind geschlossen. Damit liegt an allen Eingängen der Verstärker 515, 516, 517 das zu wandelnde Signal Z2 bzw. dessen Potenzial an. Durch die Rückkopplung stellt sich in jedem der jeweiligen Signalpfade aus einem Verstärker und Komparator ein Gleichgewichtszustand ein. Man spricht auch von einer virtuellen Masse am jeweiligen Komparatoreingang.

In der Wandlungsphase, also während des jeweiligen zweiten Halbtaktes, ist das analoge gefilterte Signal Z2 von den Leitungsknoten XP, XN abgekoppelt, und anstelle dessen ist über die Kondensatoren 510, 511 ein jeweiliges Referenzpotenzial, das an der aus den sieben Widerständen 501-508 gebildeten Widerstandskette abgreifbar ist, angeschlossen. In dieser Wandlungsphase sind die Rückkopplungsschalter 518, 519, 520 geöffnet und die Verstärker 515, 516, 517 verstärken die am jeweiligen Eingang anliegenden Potenziale der Leitungsknoten XP, XM und XN.

Die nachgeschalteten Komparatoren 521, 522, 523 detektieren dann ob das entsprechende Eingangssignal an den Leitungsknoten XP, XM, XN gegenüber dem zuvor anliegenden Potenzial, also dem Potenzial des analogen gefilterten Signals Z2, größer oder kleiner ist. Ein entsprechendes Vergleichsergebnis ist dann an den Ausgängen der Komparatoren 521, 522, 523 als Vergleichssignal V501, V502, V503 abgreifbar. Die drei Vergleichssignale 501, 502, 503 bilden so ein 3-Bit-Thermometerkodesignal Z6.

In dem hier dargestellten Ausführungsbeispiel der Quantisierereinrichtung 507 ist dem mittleren Komparator 522 bzw. Verstärker 516 jeweils ein Referenzpotenzial in der Wandlerphase

zugeführt, das zwischen den Referenzpotenzialen liegt, welche dem oberen 515 und unteren 517 Verstärker zugeführt werden. Dies wird hier durch die kapazitive Kopplung 513, 514 bzw. Spannungsteiler erzielt.

5

Die steuerbaren Rückkopplungsschalter 518, 519, 520 können beispielsweise durch ein Taktsignal geschaltet werden, wobei in einem ersten Halbtakt die Schalter geschlossen sind und einem zweiten Halbtakt geöffnet.

10

In der vorteilhaften Weiterbildung der Quantisiereinrichtung 507 ist ferner eine Schaltungsanordnung 504 vorgesehen, die der Kompensation von Zeitversätzen zwischen den Abtastzeitpunkten der Quantisiereinrichtung 507 und den Abtastzeitpunkten des eingesetzten Digital-Analog-Wandlers 4 in der zugehörigen Schaltung für den Multibit-Sigma-Delta-Wandler kompensiert.

15

Im Wesentlichen entspricht die Schaltungsanordnung 504 einem 3-bit-Digital-Analog-Wandler. Das digitale Thermometercodesignal Z6 ist einer Schaltsteuerung 525 zugeführt, welche eine zweite Schalteranordnung 526 steuert.

20

Die Schaltungsanordnung für diesen Kompensations-Digital-Analog-Wandler 4 weist eine Widerstandskette aus sieben, hier gleich gewählten Widerständen 527-533 auf, die seriell zwischen einem oberen und einem unteren Kompensationsreferenzpotenzial VREFP0, VREFN0 geschaltet sind. Zwischen den Widerständen 527-533 sind jeweils Kompensationsreferenzpotenziale abgreifbar, die der Schalteinrichtung 526 zugeführt sind. Der Schalteinrichtung 526 ist ferner ein weiteres Kompensationsreferenzpotenzial VREF0 zugeführt.

25

30

Die Schalteinrichtung 526 liefert an zwei Ausgängen 534, 535 jeweils ein oberes und ein unteres Kompensationssignal ZK1, ZK2. Wobei das Obere ZK1 über einen oberen Kondensator 536 an den oberen Leitungsknoten XP gekoppelt ist, und wobei das un-

35

tere Kompensationssignal ZK2 über einen unteren Kondensator 537 an den unteren Leitungsknoten XN gekoppelt ist.

Die Steuerlogik 525 steuert die Schalter in der Schalteinrichtung 526 derart, dass das jeweilige obere oder untere Kompensationssignal ZK1, ZK2 einem analogen Wert entsprechend dem digitalen Thermometerkodesignal Z6 entspricht. Die Schaltsteuerung 525 schaltet zudem die Schalteinrichtung 526 derart, dass zwischen den Potenzialen des oberen und unteren Kompensationssignals ZK1, ZK2 ein Spannungshub herrscht, der proportional dem Spannungshub zwischen den jeweiligen Referenzpotenzialen in der Wandlerphase der Quantisiereinrichtung mit den Verstärkern und Komparatoren 515, 516, 517, 521, 522, 523 ist. Der jeweilige Proportionalitätsfaktor bzw. Kompensationsfaktor kann durch Änderung der Kompensationsreferenzpotenziale VREFP0, VREFN0 erreicht werden.

Somit wird erfindungsgemäß ein digital-analog rückgewandeltes Vergleichsergebnis bzw. digitales Signal Z6 der Quantisiereinrichtung als mit einem Kompensationsfaktor versehenen Kompensationssignal ZK1, ZK2 dem zu wandelnden gefilterten analogen Signal Z2 aufgeprägt bzw. subtrahiert.

Die Schaltungsanordnung 504 entspricht demnach einem Rückkopplungs-Digital-Analog-Wandler mit drei Bit Breite, welche durch die einstellbaren Kompensationsreferenzpotenziale VREFP0, VREFN0 gleichzeitig das Kompensationssignal ZK1, ZK2 skaliert bzw. mit einem Kompensationsfaktor versieht.

In der vorteilhaften Weiterbildung der Quantisiereinrichtung 507 ist besonders günstig ausgenutzt, dass durch die bitreduzierte Form des Quantisierers also der lediglich drei Komparatoren 521, 522, 523 bzw. Verstärker 515, 516, 517 auch nur ein aufwandsgünstig aufgebauter 3 Bit breiter Rückkopplungs-Digital-Analog-Wandler 504 vorgehalten werden muss.

Die Quantisiereinrichtung 507 gemäß der vorteilhaften Weiterbildung gestattet es, einen besonders stromsparenden und aufwandsgünstigen Multibit-Delta-Sigma-Wandler auszuführen, der durch die Excess-Loop-Delay-Kompensierung, wie sie als Teilschaltungsanordnung 504 dargestellt ist, zudem ein besonders
5 großes Signal/Rausch-Verhältnis ermöglicht und stabile digitale Ausgangssignale mit hoher Qualität liefert.

Obgleich die vorliegende Erfindung vorstehend anhand eines bevorzugten Ausführungsbeispiels beschrieben wurde, ist sie
10 nicht darauf beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

So sei die Erfindung nicht auf eine Quantisiereinrichtung mit drei Komparatoren oder eine Bitbreite von $N = 3$ beschränkt.
15 Vielmehr lässt sich die erfindungsgemäße Idee des Nachführens der Schaltschwellen bzw. Referenzpotenziale der einzelnen Komparatoren im Extremfall auch auf nur einen einzigen Komparator ausführen, dessen Schaltschwelle jeweils derart dem Pegel des zu vergleichenden Signals nachgeführt ist, dass sich
20 bei jedem Takt das Vergleichsergebnis ändert.

Die Umschaltung zwischen Flash- und Nachlaufmodus kann auch abgestuft erfolgen. Durch Vorhalten vieler Referenzspannungen
25 sind durch Einschnüren des Potenzialfensters, in dem die Komparatoren arbeiten und gleichzeitige Erhöhung der Anzahl der Stellen im Thermometerkode des Mittelwertsignals eine Erhöhung der Bitbreite des erfindungsgemäßen Multibit-Delta-Sigma-Wandlers einfach erzielbar. Beispielsweise ist eine Abfolge von Flash-Betriebsmodus und Multibit-Modi bzw. Nachführmodi mit steigenden Bitbreiten erreichbar.
30

Das Filter kann zeitkontinuierlich oder zeitdiskret ausgeführt sein, je nach Wandlerarchitektur des entsprechenden
35 Multibit-Delta-Sigma-Wandlers.

Die Bereitstellung der Referenzpotenziale für den Thermometerkode muss selbstverständlich nicht mit einer Widerstandsleiter geschehen, sondern kann auf vielfältige Art und Weise realisiert sein. Der Dekodierer kann auch abweichend vom Ausführungsbeispiel einen Thermometerkode anstelle des binären Kodes ausgeben.

Die Erfindung ermöglicht besonders stromsparende und hoch auflösende Multibit-Delta-Sigma-Wandler. Die Reduzierung der Komparatoranzahl führt zu einer Flächensparnis auf einem Halbleiterchip. Eine Erhöhung der Bitbreite eines Multibit-Delta-Sigma-Wandlers führt erfindungsgemäß nicht zu einer exponentiellen Erhöhung der Anzahl der notwendigen Komparatoren. Vielmehr lässt sich die vorliegende Erfindung auf beliebige Bitbreiten anwenden. Durch die erfindungsgemäße Umschaltung zwischen einem Hochfahrmodus und dem Nachführmodus wird immer ein stabiler Arbeitspunkt des Multibit-Delta-Sigma-Wandlers erreicht und ein zuverlässiges Funktionieren gewährleistet.

20

Bezugszeichenliste

	1	Multibit-Delta-Sigma-Wandler
	2	Eingang
5	3	Ausgang
	4	Digital-Analog-Wandler
	5	Summiereinrichtung
	6	Filter
	7	Quantisiereinrichtung
10	8	Vergleichs- und Schalteinrichtung
	9	Eingang
	10	Ausgang
	11	Steuereingang
	12	Steuerlogik
15	13	Zwischenspeicher
	14-20	Widerstand
	21, 22, 23	Komparator
	24, 25, 26	Eingang
	27, 28, 29	Eingang
20	30, 31, 32	Ausgang
	33	Dekodierer
	34	Schalteinrichtung
	35	Differenzverstärker
	107	Quantisiereinrichtung
25	108	Vergleichseinrichtung
	109	Eingang
	110	Ausgang
	111	Steuereingang
	112	Steuerlogik
30	113	Zwischenspeicher
	121, 122, 123	Komparator
	124, 125, 126	Eingang
	127, 128, 129	Eingang
	130, 131, 132	Ausgang
35	133	Dekodierer
	200	Multibit-Delta-Sigma-Wandler
	204	Digital-Analog-Wandler

	207	Quantisiereinrichtung
	208	Vergleichseinrichtung
	209	Eingang
	210	Ausgang
5	212	Steuerlogik
	221, 222, 223	Komparator
	233	Dekodierer
	234	Schalteinrichtung
	238	Addiereinrichtung
10	239	Vorwärts-Rückwärts-Zähler
	240	Ausgang
	241	steuerbarer Schalter
	300	Multibit-Delta-Sigma-Wandler
	304	Digital-Analog-Wandler
15	306	Addierer
	307	Quantisiereinrichtung
	308	Vergleichseinrichtung
	309	Eingang
	310	Ausgang
20	311	Steuereingang
	312	Steuerlogik
	321, 322, 323	Komparator
	333	Dekodierer
	339	Vorwärts-Rückwärts-Zähler
25	340	Ausgang
	341	steuerbarer Schalter
	342	Referenz-Digital-Analog-Wandler
	343	steuerbarer Schalter
	400	Multibit-Delta-Sigma-Wandler
30	404	Rückkopplungs-Digital-Analog-Wandler
	405	Verstärker
	406	Referenzpotenzialerzeugungseinheit
	407	Quantisiereinrichtung
	408	Addierer
35	409	Addierer
	410	Eingang

	411	Ausgang
	438	Addiereinrichtung
	439	Zählereinrichtung
	440	Ausgang
5	441	Referenz-Digital-Analog-Wandler
	504	Rückkopplungs-Digital-Analog-Wandler
	501-506, 508	Widerstand
	507	Quantisiereinrichtung
	509	Eingang
10	510	Ausgang
	511	Kondensator
	512	Steuerlogik
	513, 514	Kondensator
	515, 516, 517	Verstärker
15	518, 519, 520	steuerbarer Schalter
	521, 522, 523	Komparator
	524	Kodierlogik
	525	Schaltsteuerung
	526	Schalteinrichtung
20	527-533	Widerstand
	534, 535	Ausgang
	536, 537	Kondensator
	538	Addiereinrichtung
	539	Zählereinrichtung
25	551	Kondensator
	A	Ausgang
	AD	Addierer
	DEK	Dekodierer
	DV	Differenzverstärker
30	E	Eingang
	FBE	Verstärker
	GND	Masse
	K1-K7	Komparator
	KADW	Kompensations-Analog-Digital-Wandler
35	L1-L7	Eingang
	M1-M7	Eingang
	MDSW	Multibit-Delta-Sigma-Wandler

	O1-O7	Ausgang
	P1-P7	Vergleichsergebnis
	Q	Quantisierer
	R1-R7	Widerstand
5	S	Summierer
	SCD	Kodiersteuersignal
	SCK	Schaltsignal
	SCS	Steuersignal
	SCT	Steuersignale
10	U0-U6	Referenzpotenzial
	U101-U103	Referenzpotenzial
	V1, V2, V3	Vergleichsergebnis
	V201, V202, V203	Vergleichsergebnis
	V301, V302, V303	Vergleichsergebnis
15	V401, V402, V403	Vergleichsergebnis
	V501, V502, V503	Vergleichsergebnis
	VREFP	Referenzpotenzial
	VREFN	Referenzpotenzial
	VREFN0	Kompensationsreferenzpotenzial
20	VREF0	Kompensationsreferenzpotenzial
	VREFP0	Kompensationsreferenzpotenzial
	UD	Hoch-/Tiefsetzsignal
	PO	Potenzial-Offset
	X	Mittelwertsignal
25	XN, XM, XP	Leitungsknoten
	Z1	Differenzsignal
	Z2	gefiltertes Signal
	Z3	Rückkopplungssignal
	Z4	beaufschlagtes Signal
30	Z6	digitales Thermometerkodesignal
	ZA	analoges Eingangssignal
	ZD	digitales Ausgangssignal
	ZK, ZK1, ZK2	Kompensationssignal

Patentansprüche

1. Stromsparender Multibit-Delta-Sigma-Wandler (1) mit:

5

(a) einem Eingang (2) für ein analoges Eingangssignal (ZA) und einem Ausgang (3) für ein digitales Ausgangssignal (ZD);

10

(b) einem Digital-Analog-Wandler (4), der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals (ZD) zu einem analogen Rückkopplungssignal (Z3);

15

(c) einer Summiereinrichtung (5) zum Bilden der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3);

(d) einem Filter (6) zum Filtern des Differenzsignals (Z1); und

20

(e) einer getakteten Quantisiereinrichtung (7) zum Quantisieren des gefilterten Differenzsignals (Z2) zu dem digitalen Ausgangssignal (ZD) mit der Bitbreite N;

25

wobei die Quantisiereinrichtung (7) eine Anzahl Y Komparatoren (21, 22, 23) aufweist, die das gefilterte Signal (Z2) mit jeweils einem dem jeweiligen Komparator (21, 22, 23) zugehörigen Referenzpotenzial (U0, ...U6) vergleichen und die jeweils ein Vergleichsergebnis (V1, V2, V3) an einen Dekodierer (33) ausgeben, der aus den Vergleichsergebnissen (V1, V2, V3) das digitale Ausgangssignal (ZD) erzeugt, und wobei die Referenzpotenziale (U0,...U6) in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt sind.

30

2. Multibit-Delta-Sigma-Wandler (1) nach Anspruch 1, dadurch gekennzeichnet ,

35

dass die Summiereinrichtung (6) einen Differenzverstärker (35) zum Verstärken der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3) aufweist.

5 3. Multibit-Delta-Sigma-Wandler (1) nach Anspruch 2, dadurch gekennzeichnet, dass das Filter (6) einen Integrierer zum Integrieren des verstärkten Differenzsignals (Z1) aufweist

10 4. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Quantisiereinrichtung (7) weniger als 2^N-1 Komparatoren (21, 22, 23) aufweist.

15 5. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Quantisiereinrichtung (7) eine Schaltsteuerung (8, 20 12) aufweist, die in Abhängigkeit von dem vorherigen Vergleichsergebnis an die Komparatoren (21, 22, 23) Referenzpotenziale schaltet (U0, ...U6), so dass bei einer Änderung des Eingangssignals (ZA) mindestens einer der Komparatoren (21, 22, 23) sein Vergleichsergebnis (V1, V2, V3) ändert.

25 6. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass ein Speicher (13) zum Zwischenspeichern des digitalen Ausgangssignals (ZD) vorgesehen ist.

30

7. Multibit-Delta-Sigma-Wandler (1) nach Anspruch 5, dadurch gekennzeichnet, dass die Schaltsteuerung (8, 12) an den Speicher (13) gekoppelt ist und in Abhängigkeit von dem zwischengespeicherten Ausgangssignal (ZD) die Referenzpotenziale (U0, ... U6) an die Komparatoren (21, 22, 23) schaltet.

35

8. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

- 5 dass die Quantisiereinrichtung (7) mindestens einen ersten, zweiten und dritten Komparator (21, 22, 23) mit jeweils einem ersten, einem zweiten Eingang (24-29) und einem Ausgang (30, 31, 32) aufweist, wobei an die ersten Eingänge (24, 25, 26) das gefilterte Signal (Z2) angelegt ist, die Ausgänge (30, 31, 32) jeweils ein Vergleichsergebnis (V1, V2, V3) liefern
10 und an die zweiten Eingänge (27, 28, 29) ein erstes, zweites und drittes Referenzpotenzial (U0, ...U6) geschaltet ist, wobei das zweite Referenzpotenzial zwischen dem ersten und dritten Referenzpotenzial liegt und dem Potenzial des gefilterten Signals (Z2) am nächsten liegt.
15

9. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

- 20 dass die Referenzpotenziale (U0, ..U6) äquidistant sind.

10. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

- 25 dass $2^N - 1$ verschiedene Referenzpotenziale (U0, ...U6) schaltbar sind.

11. Stromsparender Multibit-Delta-Sigma-Wandler (100) mit:

- 30 (a) einem Eingang (2) für ein analoges Eingangssignal (ZA) und einem Ausgang (3) für ein digitales Ausgangssignal (ZD);

- (b) einem Digital-Analog-Wandler (4), der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals (ZD) zu
35 einem analogen Rückkopplungssignal (Z3);

(c) einer Summiereinrichtung (5) zum Bilden der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3);

5 (d) einem Filter (6) zum Filtern des Differenzsignals (Z1);
und

(e) einer getakteten Quantisiereinrichtung (7) zum Quantisieren des gefilterten Differenzsignals (Z2) zu dem digitalen
10 Ausgangssignal (ZD) mit der Bitbreite N;

wobei die Quantisiereinrichtung (107) das gefilterte Signal mit einem Potenzial-Offset (PO) beaufschlagt und eine Anzahl
Y Komparatoren aufweist, die das gefilterte und beaufschlagte
15 Signal (Z4) mit jeweils einem dem jeweiligen Komparator (21, 22, 23) zugehörigen Referenzpotenzial (U0, ...U6) vergleichen, und die jeweils ein Vergleichsergebnis (V1, V2, V3) an einen Dekodierer (33) ausgeben, der aus den Vergleichsergebnissen das digitale Ausgangssignal (ZD) erzeugt,
20 und wobei der Potenzial-Offset (PO) in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt ist.

12. Multibit-Delta-Sigma-Wandler (100,300) nach Anspruch 11,
d a d u r c h g e k e n n z e i c h n e t ,
25 dass eine Schaltsteuerung (108, 112, 312) vorgesehen ist, die an die an Ausgänge (130, 131, 132) der Komparatoren (121,122,123) gekoppelt ist, und in Abhängigkeit von den Vergleichsergebnissen (V301,V302, V303) den Potenzial-Offset (PO) einstellt.

30

13. Multibit-Delta-Sigma-Wandler (200,300) nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass der Digital-Analog-Wandler (204, 304) und die Quantisiereinrichtung (207, 307) mit der Bitbreite N und mit einer
35 Bitbreite $M = \ln(Y+1)/\ln(2)$, die der Anzahl Y der Komparato-

ren (221, 222, 223, 321, 322, 323) entspricht, betreibbar ist.

14. Multibit-Delta-Sigma-Wandler (200,300) nach Anspruch 13,
5 d a d u r c h g e k e n n z e i c h n e t ,
dass der Digital-Analog-Wandler (204, 304) und die Quantisie-
reinrichtung (207,307) zwischen den beiden Bitbreiten N und M
umschaltbar ist.

10 15. Multibit-Delta-Sigma-Wandler (200,300) nach einem der
vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Schaltsteuerung (208, 212, 239,308, 312, 339) eine
Zähleinrichtung (239, 339) aufweist zum Erzeugen eines digi-
15 talen Mittelwertsignals (X) in 2^N -Y-stelligem Thermometerkode
in Abhängigkeit von den Vergleichsergebnissen (V201, V202,
V203, V301, V302, V303).

16. Multibit-Delta-Sigma-Wandler (200, 300) nach Anspruch 15,
20 d a d u r c h g e k e n n z e i c h n e t ,
dass die Zähleinrichtung (239, 339) einen Vorwärts-
/Rückwärtzzähler aufweist.

17. Multibit-Delta-Sigma-Wandler (200, 300) nach einem der
25 vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass der Dekodierer (33,133) eine Addiereinrichtung (238,
338) aufweist zum Bilden des N-Bit breiten Ausgangssignals
(ZD) durch Kombinieren der Vergleichsergebnisse (V201, V202,
30 V203, V301, V302, V303) mit dem Mittelwertsignal (X).

18. Multibit-Delta-Sigma-Wandler (200, 300) nach einem der
vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
35 dass die Schaltsteuerung (208, 212, 239,308, 312, 339) eine
Steuerlogik (212, 312) aufweist, die in Abhängigkeit von den
Vergleichsergebnissen (V201, V202, V203, V301, V302, V303)

entweder die Vergleichsergebnisse (V201, V202, V203, V301, V302, V303) in Y-stelligem, M Bit breiten Thermometerkode als digitales Ausgangssignal (ZD) schaltet oder die mit dem Mittelwertsignal (X) kombinierten Vergleichsergebnisse (V201, V202, V203, V301, V302, V303) als digitales Ausgangssignal (ZD) in 2^N -stelligem, N-Bit breiten Thermometerkode schaltet.

19. Multibit-Delta-Sigma-Wandler (300) nach einem der vorhergehenden Ansprüche 11 - 18,
10 d a d u r c h g e k e n n z e i c h n e t ,
dass die Schaltsteuerung (308, 312, 339, 342) einen Referenz-Digital-Analog-Wandler (342) aufweist zum Erzeugen des Offset-Potenzial (PO) aus dem digitalen Mittelwertsignal (X).
- 15 20. Multibit-Delta-Sigma-Wandler (400, 500) nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Quantisiereinrichtung (407, 507)
- 20 - einen Kompensations-Analog-Digital-Wandler (404, 504) aufweist zum Wandeln der Vergleichsergebnisse (V401, V402, V403) in mindestens ein analoges Kompensationssignal (ZK, ZK1, ZK2) und
- 25 - eine Addiereinrichtung (408, XP, XN) zum Subtrahieren des analogen Kompensationssignals (ZK, ZK1, ZK2) von dem gefilterten Differenzsignal (Z2) aufweist.

21. Multibit-Delta-Sigma-Wandler (400, 500) nach Anspruch 20,
30 d a d u r c h g e k e n n z e i c h n e t ,
dass die Bitbreite des Kompensations-Analog-Digital-Wandlers (404, 504) der Anzahl der Komparatoren (21, 22, 23, 521, 522, 523) entspricht.

35 22. Multibit-Delta-Sigma-Wandler (400) nach Anspruch 20 oder 21,
d a d u r c h g e k e n n z e i c h n e t ,

dass ein Verstärker (405) zum Verstärken des analogen Kompensationssignals (ZK) mit einem Kompensationsfaktor vorgesehen ist.

GEÄNDERTE ANSPRÜCHE

[beim Internationalen Büro am 11. August 2005 (11.08.05) eingegangen;
ursprüngliche Ansprüche 1- 22 durch neue Ansprüche 1- 21 ersetzt; (6 Seiten)]

1. Stromsparender Multibit-Delta-Sigma-Wandler (1) mit:

5

a) einem Eingang (2) für ein analoges Eingangssignal (ZA) und
einem Ausgang (3) für ein digitales Ausgangssignal (ZD);

10

b) einem Digital-Analog-Wandler (4), der eine Bitbreite N
aufweist, zum Wandeln des digitalen Ausgangssignals (ZD) zu
einem analogen Rückkopplungssignal (Z3);

15

c) einer Summiereinrichtung (5) zum Bilden der Differenz
zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal
(Z3);

d) einem Filter (6) zum Filtern des Differenzsignals (Z1);
und

20

e) einer getakteten Quantisiereinrichtung (7) zum
Quantisieren des gefilterten Differenzsignals (Z2) zu dem
digitalen Ausgangssignal (ZD) mit der Bitbreite N;

wobei die Quantisiereinrichtung (7) **weniger als 2^N-1**

25

Komparatoren (21, 22, 23) aufweist, die das gefilterte Signal
(Z2) mit jeweils einem dem jeweiligen Komparator (21, 22, 23)
zugehörigen Referenzpotenzial (U0, ...U6) vergleichen und die
jeweils ein Vergleichsergebnis (V1, V2, V3) an einen
Dekodierer (33) ausgeben, der aus den Vergleichsergebnissen
(V1, V2, V3) das digitale Ausgangssignal (ZD) erzeugt,
und wobei die Referenzpotenziale (U0,...U6) in Abhängigkeit
von einem vorherigen Vergleichsergebnis nachgeführt sind.

30

2. Multibit-Delta-Sigma-Wandler (1) nach Anspruch 1,

35

d a d u r c h g e k e n n z e i c h n e t ,

dass die Summiereinrichtung (6) einen Differenzverstärker (35) zum Verstärken der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3) aufweist.

- 5 3. Multibit-Delta-Sigma-Wandler (1) nach Anspruch 2,
d a d u r c h g e k e n n z e i c h n e t ,
dass das Filter (6) einen Integrierer zum Integrieren des
verstärkten Differenzsignals (Z1) aufweist
- 10 4. Multibit-Delta-Sigma-Wandler (1) nach einem der
vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Quantisiereinrichtung (7) eine Schaltsteuerung (8,
12) aufweist, die in Abhängigkeit von dem vorherigen
15 Vergleichsergebnis an die Komparatoren (21, 22, 23)
Referenzpotenziale schaltet (U0, ...U6), so dass bei einer
Änderung des Eingangssignals (ZA) mindestens einer der
Komparatoren (21, 22, 23) sein Vergleichsergebnis (V1, V2,
V3) ändert.
- 20 5. Multibit-Delta-Sigma-Wandler (1) nach einem der
vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass ein Speicher (13) zum Zwischenspeichern des digitalen
25 Ausgangssignals (ZD) vorgesehen ist.
6. Multibit-Delta-Sigma-Wandler (1) nach einem der vorherigen
Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
30 dass die Schaltsteuerung (8, 12) an den Speicher (13)
gekoppelt ist und in Abhängigkeit von dem
zwischenengespeicherten Ausgangssignal (ZD) die
Referenzpotenziale (U0, ... U6) an die Komparatoren (21, 22,
23) schaltet.
- 35 7. Multibit-Delta-Sigma-Wandler (1) nach einem der
vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,
dass die Quantisiereinrichtung (7) mindestens einen ersten,
zweiten und dritten Komparator (21, 22, 23) mit jeweils einem
ersten, einem zweiten Eingang (24-29) und einem Ausgang (30,
5 31, 32) aufweist, wobei an die ersten Eingänge (24, 25, 26)
das gefilterte Signal (Z2) angelegt ist, die Ausgänge (30,
31, 32) jeweils ein Vergleichsergebnis (V1, V2, V3) liefern
und an die zweiten Eingänge (27, 28, 29) ein erstes, zweites
und drittes Referenzpotenzial (U0, ...U6) geschaltet ist,
10 wobei das zweite Referenzpotenzial zwischen dem ersten und
dritten Referenzpotenzial liegt und dem Potenzial des
gefilterten Signals (Z2) am nächsten liegt.

8. Multibit-Delta-Sigma-Wandler (1) nach einem der
15 vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Referenzpotenziale (U0, ..U6) äquidistant sind.

9. Multibit-Delta-Sigma-Wandler (1) nach einem der
20 vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass $2^N - 1$ verschiedene Referenzpotenziale (U0, ...U6)
schaltbar sind.

25 10. Stromsparender Multibit-Delta-Sigma-Wandler (100) mit:

- a) einem Eingang (2) für ein analoges Eingangssignal (ZA) und
einem Ausgang (3) für ein digitales Ausgangssignal (ZD);
- 30 b) einem Digital-Analog-Wandler (4), der eine Bitbreite N
aufweist, zum Wandeln des digitalen Ausgangssignals (ZD) zu
einem analogen Rückkopplungssignal (Z3);
- c) einer Summiereinrichtung (5) zum Bilden der Differenz
35 zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal
(Z3);

d) einem Filter (6) zum Filtern des Differenzsignals (Z1);
und

e) einer getakteten Quantisiereinrichtung (7) zum
5 Quantisieren des gefilterten Differenzsignals (Z2) zu dem
digitalen Ausgangssignal (ZD) mit der Bitbreite N;

wobei die Quantisiereinrichtung (107) das gefilterte Signal
mit einem Potenzial-Offset (PO) beaufschlagt und **weniger als**

10 $2^N - 1$ Komparatoren aufweist, die das gefilterte und
beaufschlagte Signal (Z4) mit jeweils einem dem jeweiligen
Komparator (21, 22, 23) zugehörigen Referenzpotenzial (U0,
...U6) vergleichen, und die jeweils ein Vergleichsergebnis
(V1, V2, V3) an einen Dekodierer (33) ausgeben, der aus den
15 Vergleichsergebnissen das digitale Ausgangssignal (ZD)
erzeugt,

und wobei der Potenzial-Offset (PO) in Abhängigkeit von einem
vorherigen Vergleichsergebnis nachgeführt ist.

20 11. Multibit-Delta-Sigma-Wandler (100,300) nach Anspruch 10,
d a d u r c h g e k e n n z e i c h n e t ,
dass eine Schaltsteuerung (108, 112, 312) vorgesehen ist, die
an die an Ausgänge (130, 131, 132) der Komparatoren
(121,122,123) gekoppelt ist, und in Abhängigkeit von den
25 Vergleichsergebnissen (V301,V302, V303) den Potenzial-Offset
(PO) einstellt.

12. Multibit-Delta-Sigma-Wandler (200,300) nach einem der
vorhergehenden Ansprüche,
30 d a d u r c h g e k e n n z e i c h n e t ,
dass der Digital-Analog-Wandler (204, 304) und die
Quantisiereinrichtung (207, 307) mit der Bitbreite N und mit
einer Bitbreite $M = \ln(Y+1)/\ln(2)$, die einer Anzahl Y der
Komparatoren (221, 222, 223, 321, 322, 323) entspricht,
35 betreibbar ist.

13. Multibit-Delta-Sigma-Wandler (200,300) nach Anspruch 12,

d a d u r c h g e k e n n z e i c h n e t ,
dass der Digital-Analog-Wandler (204, 304) und die
Quantisierereinrichtung (207,307) zwischen den beiden
Bitbreiten N und M umschaltbar ist.

5

14. Multibit-Delta-Sigma-Wandler (200,300) nach einem der
vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

10 dass die Schaltsteuerung (208, 212, 239,308, 312, 339) eine
Zähleinrichtung (239, 339) aufweist zum Erzeugen eines
digitalen Mittelwertsignals (X) in 2^N -Y-stelligem
Thermometerkode in Abhängigkeit von den Vergleichsergebnissen
(V201, V202, V203, V301, V302, V303).

15 15. Multibit-Delta-Sigma-Wandler (200, 300) nach Anspruch 14,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Zähleinrichtung (239, 339) einen Vorwärts-
/Rückwärtszähler aufweist.

20 16. Multibit-Delta-Sigma-Wandler (200, 300) nach einem der
vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass der Dekodierer (33,133) eine Addiereinrichtung (238,
338) aufweist zum Bilden des N-Bit breiten Ausgangssignals
25 (ZD) durch Kombinieren der Vergleichsergebnisse (V201, V202,
V203, V301, V302, V303) mit dem Mittelwertsignal (X).

17. Multibit-Delta-Sigma-Wandler (200, 300) nach einem der
vorhergehenden Ansprüche,

30 d a d u r c h g e k e n n z e i c h n e t ,

dass die Schaltsteuerung (208, 212, 239,308, 312, 339) eine
Steuerlogik (212, 312) aufweist, die in Abhängigkeit von den
Vergleichsergebnissen (V201, V202, V203, V301, V302, V303)
entweder die Vergleichsergebnisse (V201, V202, V203, V301,

35 V302, V303) in Y-stelligem, M Bit breiten Thermometerkode als
digitales Ausgangssignal (ZD) schaltet oder die mit dem
Mittelwertsignal (X) kombinierten Vergleichsergebnisse (V201,

V202, V203, V301, V302, V303) als digitales Ausgangssignal (ZD) in 2^N -stelligem, N-Bit breiten Thermometerkode schaltet.

18. Multibit-Delta-Sigma-Wandler (300) nach einem der
5 vorhergehenden Ansprüche 11 - 18,
dadurch gekennzeichnet,
dass die Schaltsteuerung (308, 312, 339, 342) einen Referenz-Digital-Analog-Wandler (342) aufweist zum Erzeugen des Offset-Potenzial (PO) aus dem digitalen Mittelwertsignal (X).

10 19. Multibit-Delta-Sigma-Wandler (400, 500) nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass die Quantisiereinrichtung (407, 507)

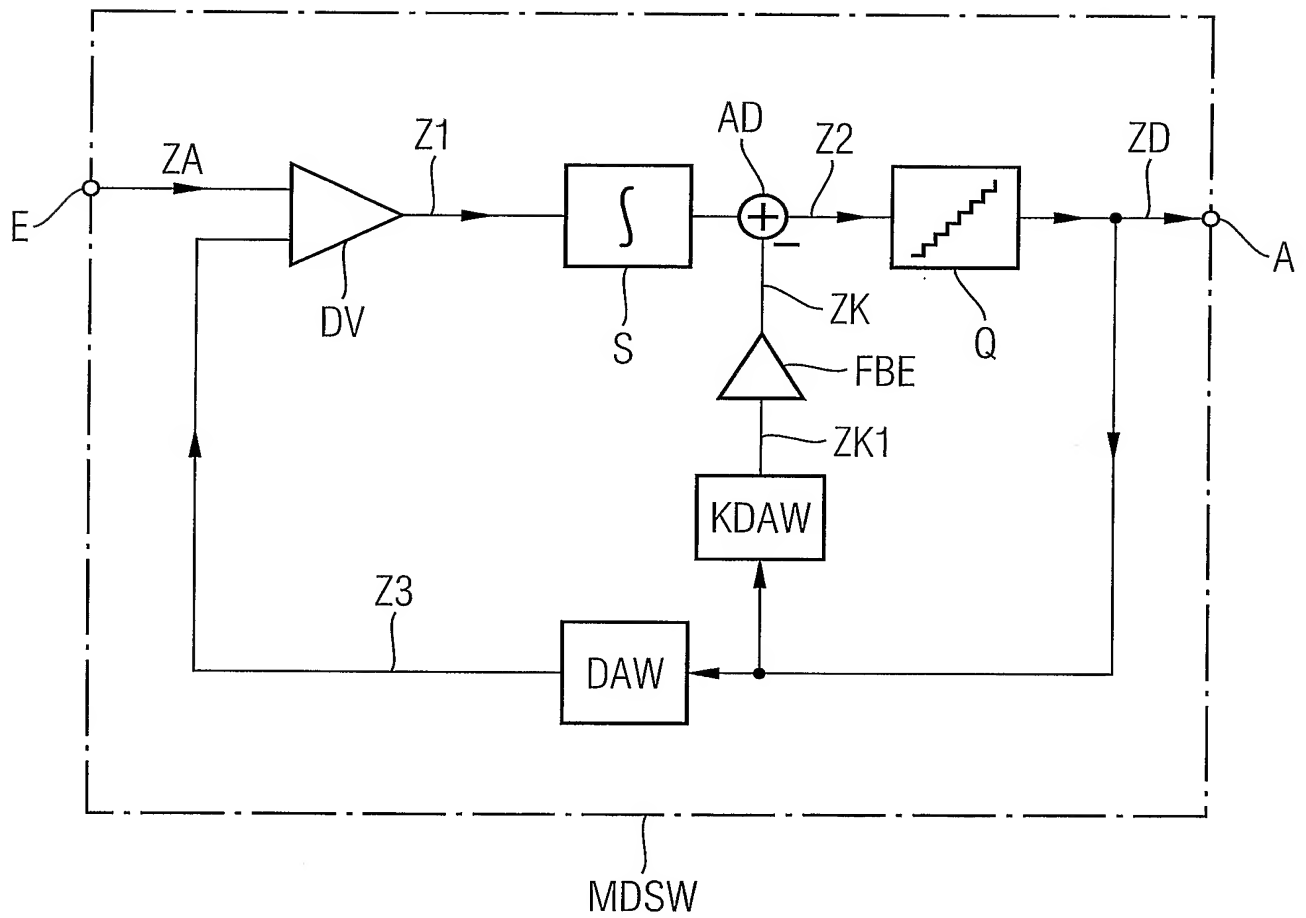
15 - einen Kompensations-Analog-Digital-Wandler (404, 504) aufweist zum Wandeln der Vergleichsergebnisse (V401, V402, V403) in mindestens ein analoges Kompensationssignal (ZK, ZK1, ZK2) und

20 - eine Addiereinrichtung (408, XP, XN) zum Subtrahieren des analogen Kompensationssignals (ZK, ZK1, ZK2) von dem gefilterten Differenzsignal (Z2) aufweist.

25 20. Multibit-Delta-Sigma-Wandler (400, 500) nach Anspruch 19, dadurch gekennzeichnet,
dass die Bitbreite des Kompensations-Analog-Digital-Wandlers (404, 504) der Anzahl der Komparatoren (21, 22, 23, 521, 522, 523) entspricht.

30 21. Multibit-Delta-Sigma-Wandler (400) nach Anspruch 19 oder 20,
dadurch gekennzeichnet,
dass ein Verstärker (405) zum Verstärken des analogen
35 Kompensationssignals (ZK) mit einem Kompensationsfaktor vorgesehen ist.

FIG 1
Stand der Technik



2/11

FIG 2

Stand der Technik

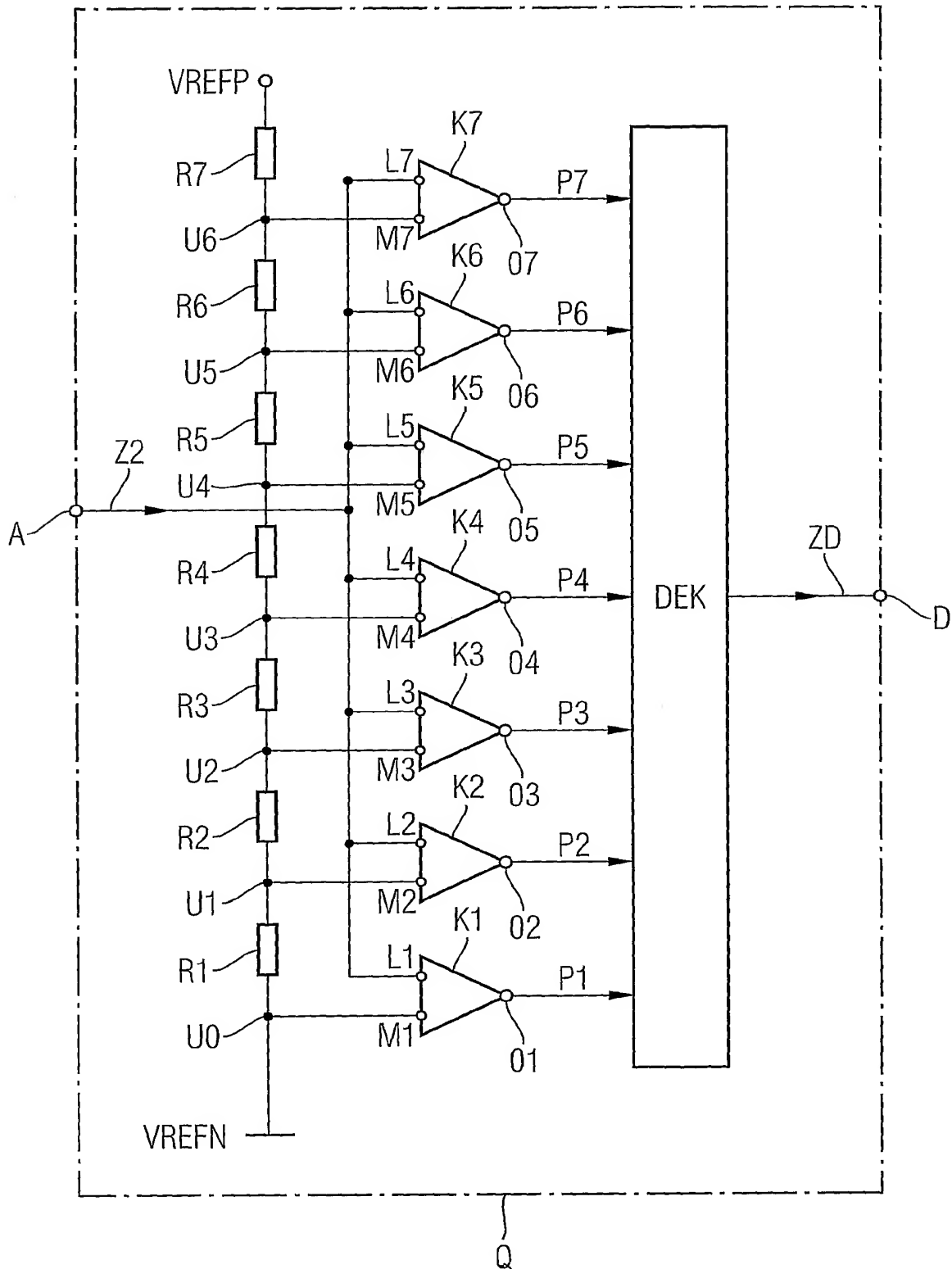
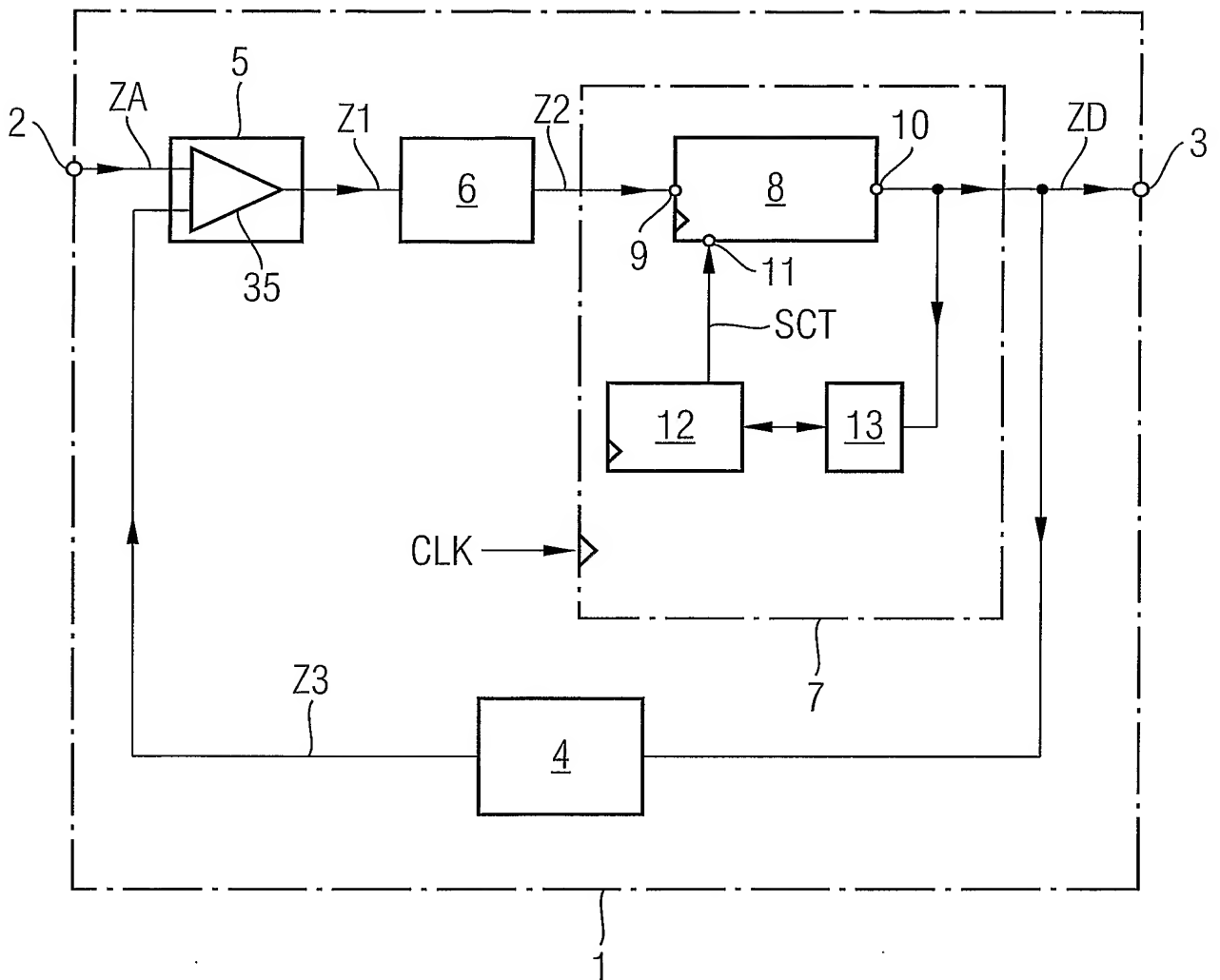
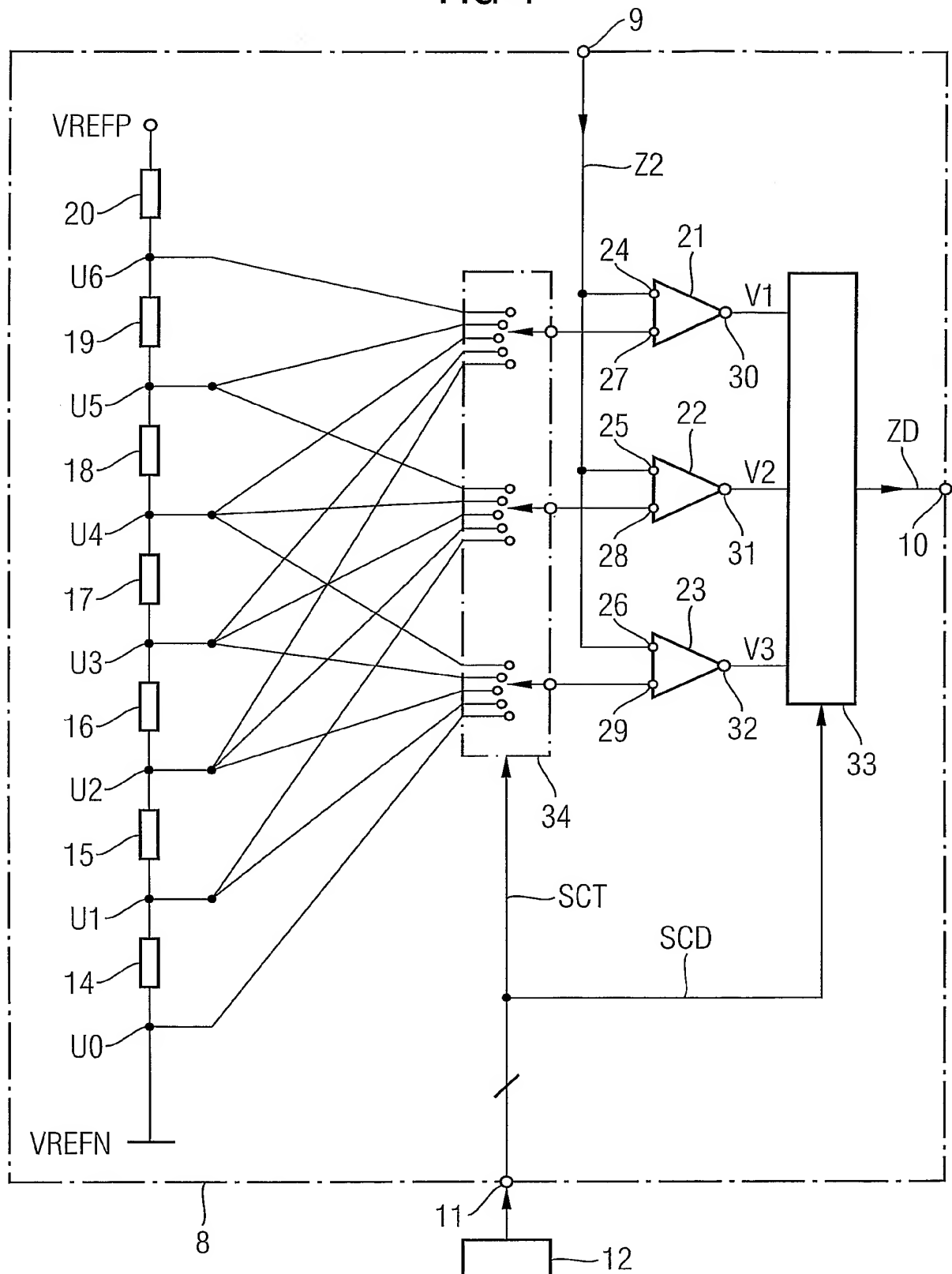


FIG 3



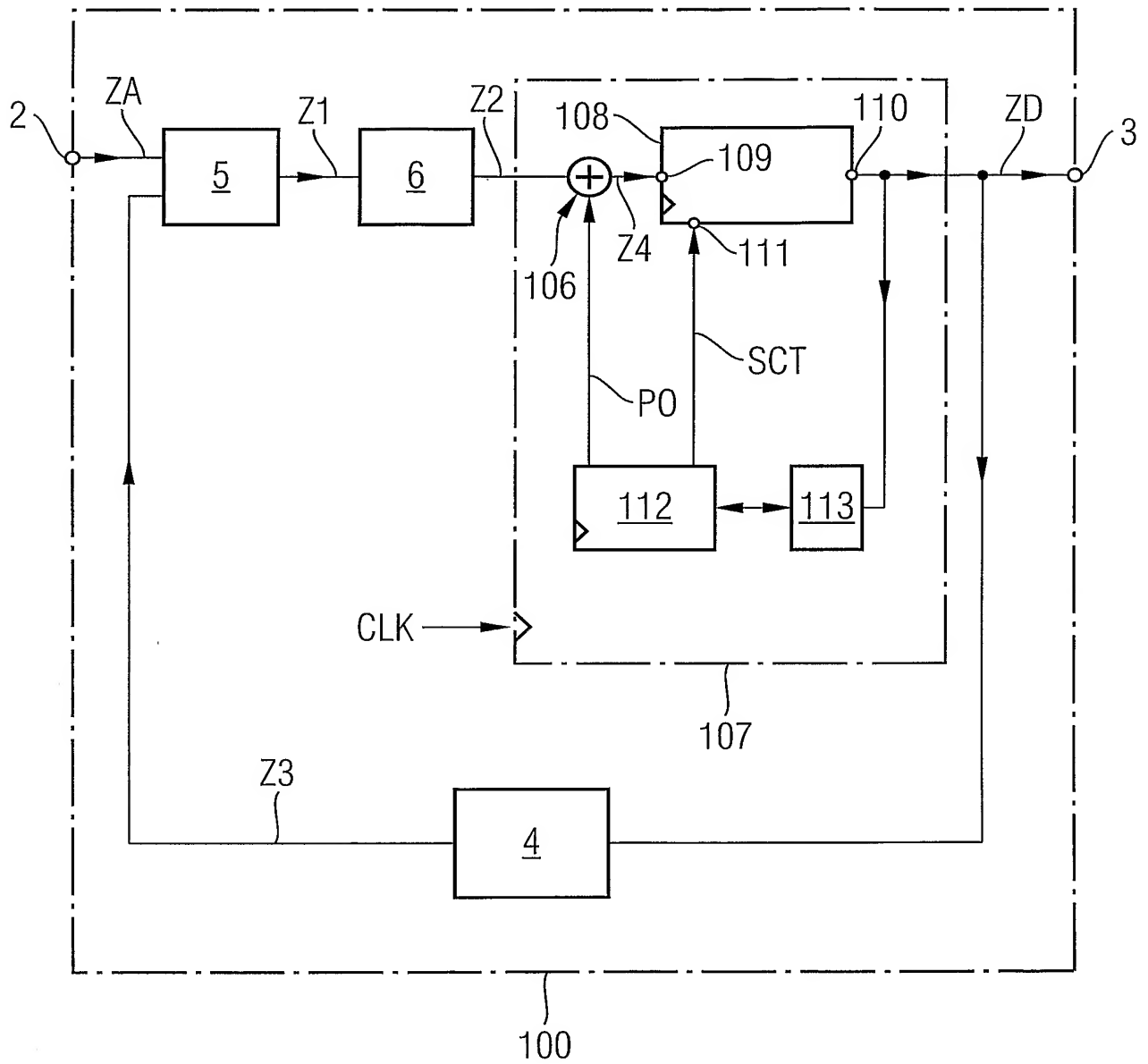
4/11

FIG 4



5/11

FIG 5



6/11

FIG 6

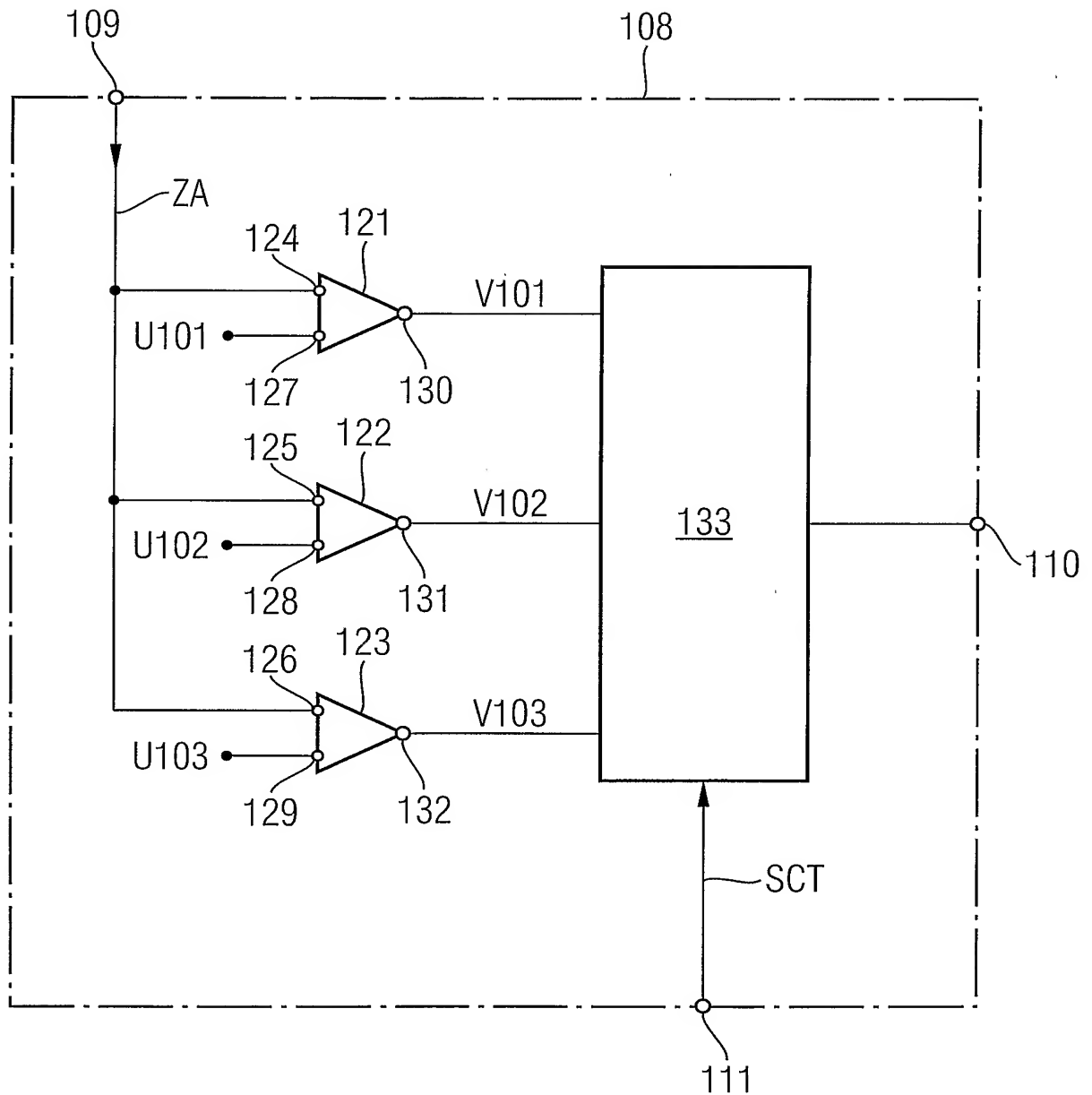


FIG 7

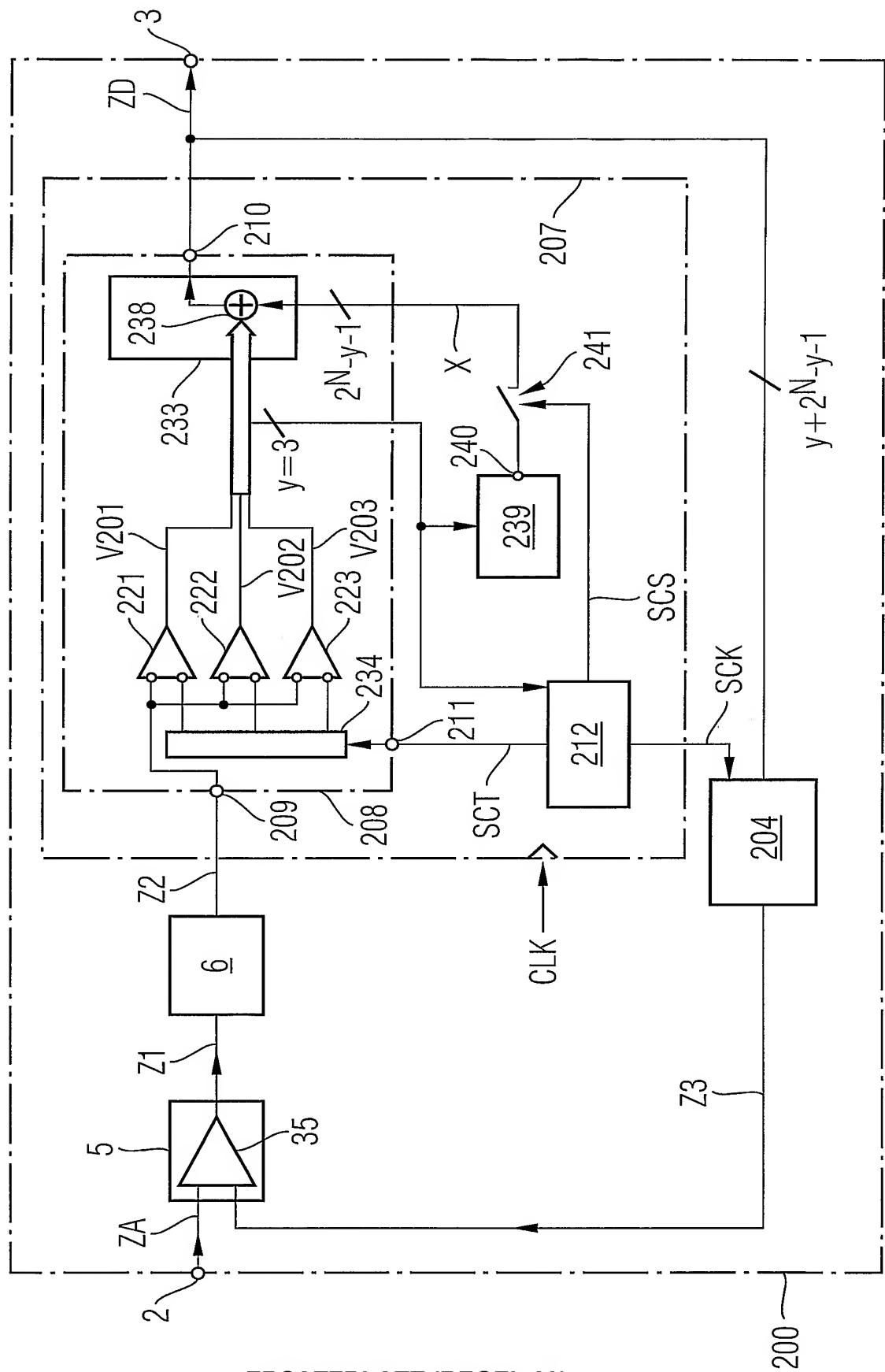


FIG 8

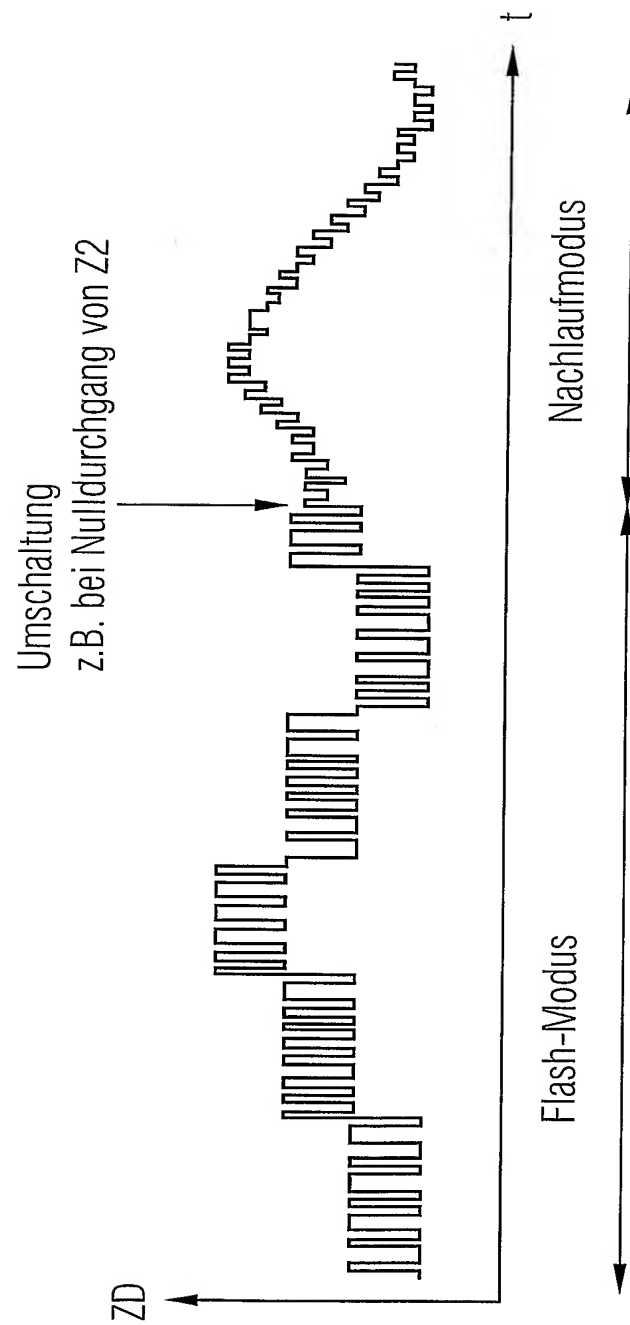
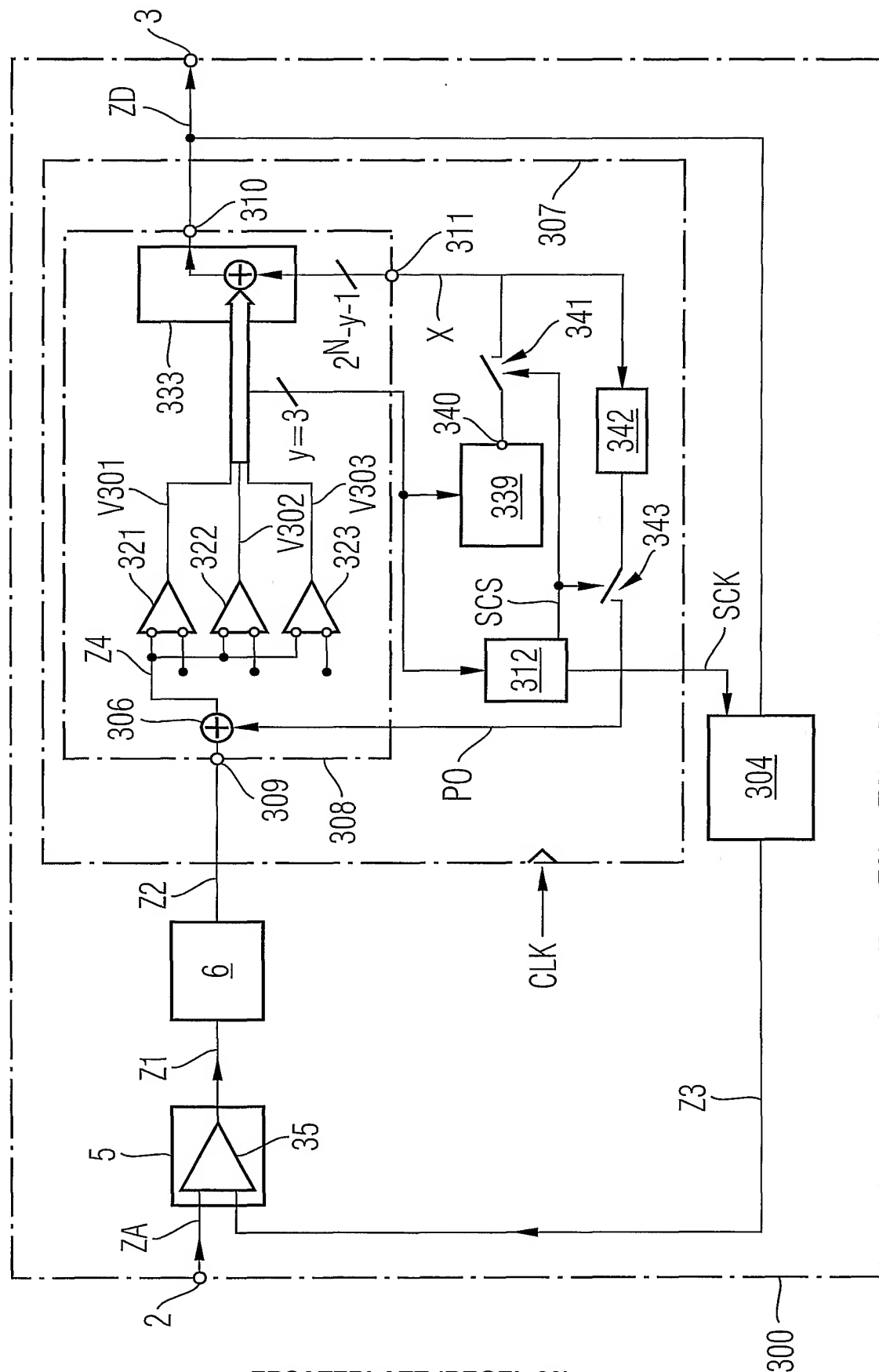


FIG 9



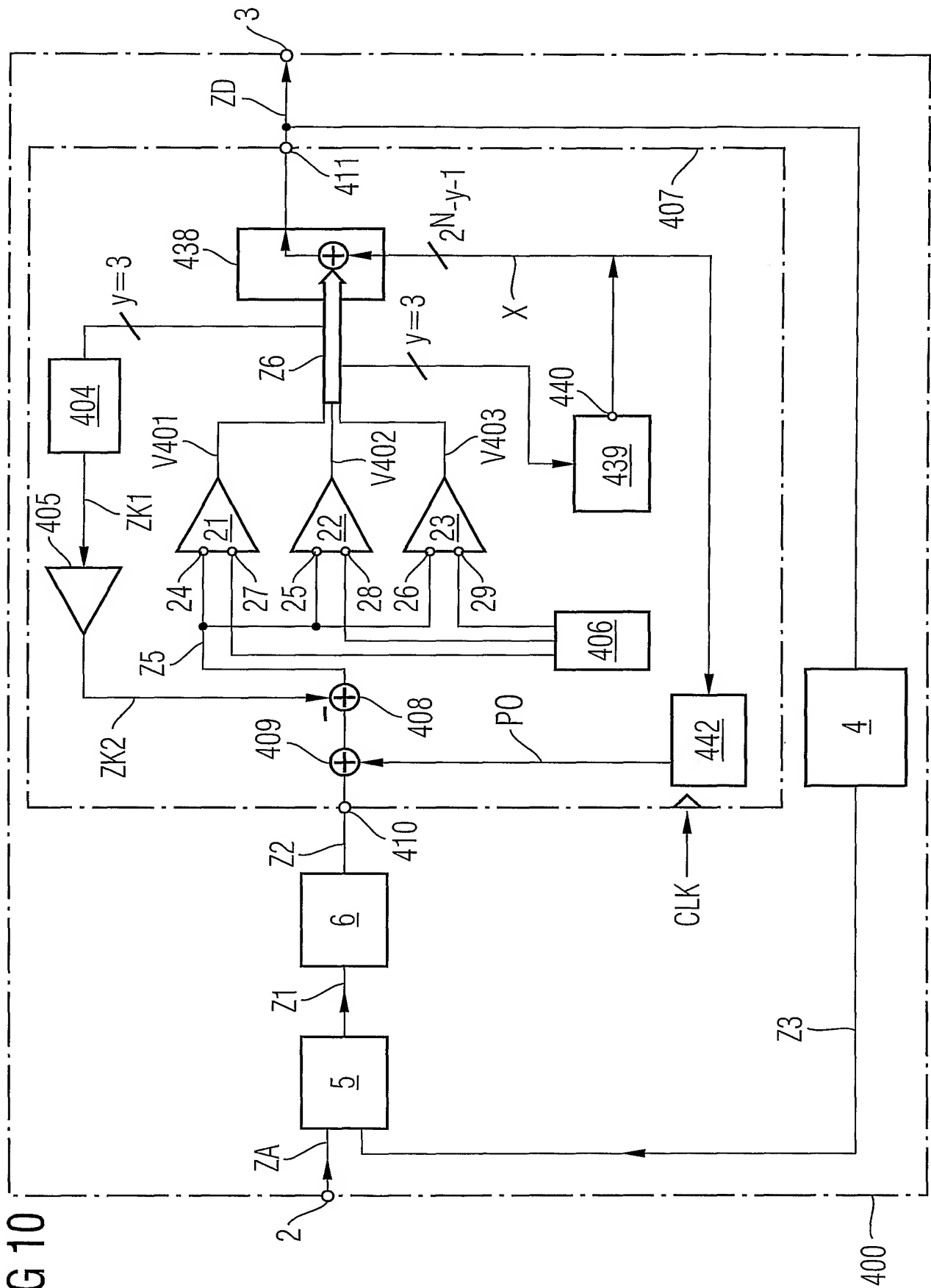
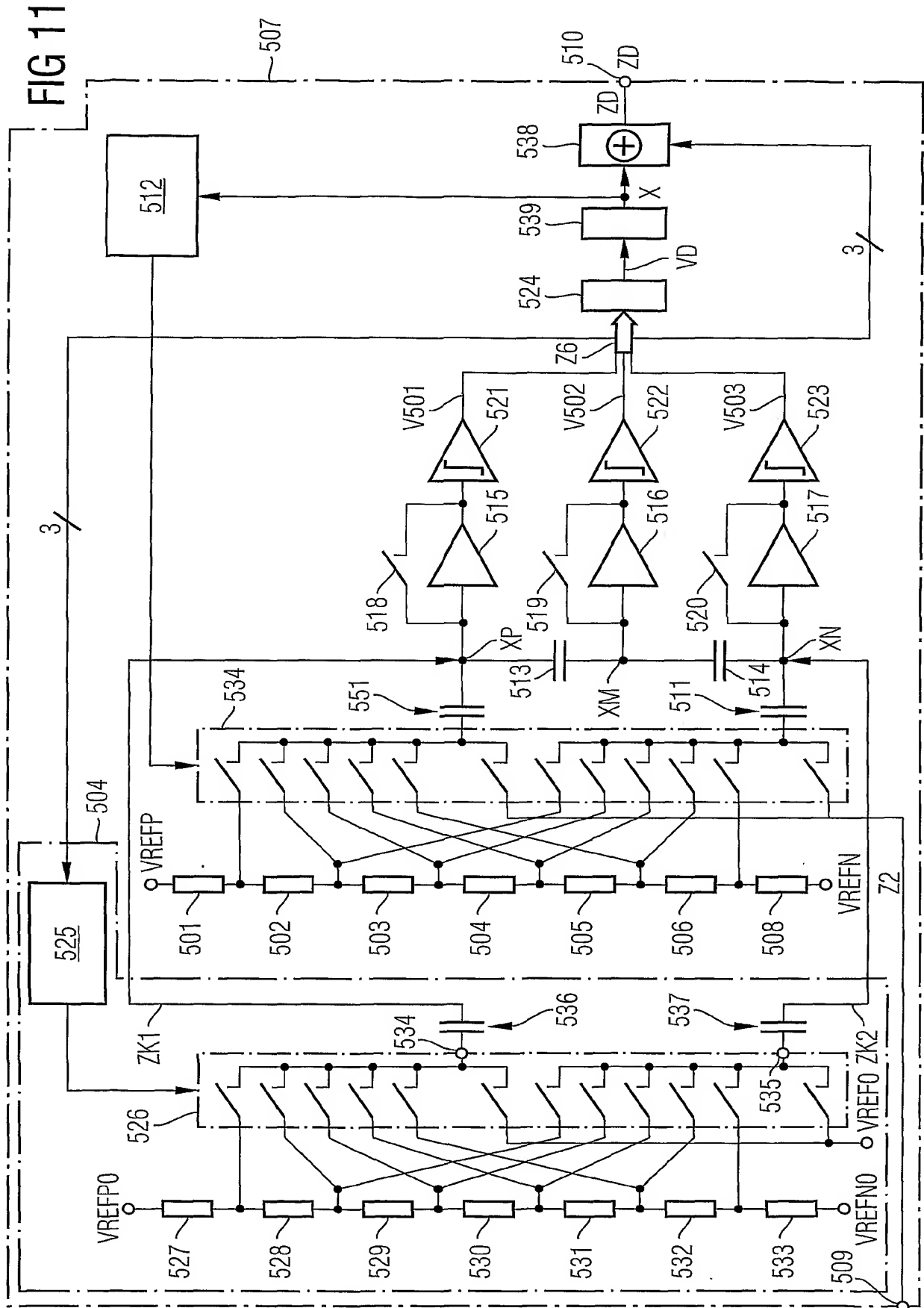


FIG 10

11/11



INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2005/001165

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03M3/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 346 898 B1 (MELANSON JOHN LAURENCE) 12 February 2002 (2002-02-12) column 1, line 36 - line 43 column 2, line 41 - column 3, line 64; figures 3-5 -----	1,3-5, 10,11, 18,22
X	US 6 642 873 B1 (KUANG WENSHENG VINCENT) 4 November 2003 (2003-11-04)	1,9,10
A	column 1, line 25 - column 4, line 53; figures 1-5 -----	2-8, 12-22
A	US 6 473 019 B1 (RUHA ANTTI ET AL) 29 October 2002 (2002-10-29) the whole document -----	1-22



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

6 June 2005

Date of mailing of the international search report

22/06/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Henderson, R

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2005/001165

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6346898	B1	12-02-2002	NONE
US 6642873	B1	04-11-2003	NONE
US 6473019	B1	29-10-2002	EP 1479169 A2 24-11-2004 WO 03001675 A2 03-01-2003

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H03M3/04

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H03M

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 346 898 B1 (MELANSON JOHN LAURENCE) 12. Februar 2002 (2002-02-12) Spalte 1, Zeile 36 - Zeile 43 Spalte 2, Zeile 41 - Spalte 3, Zeile 64; Abbildungen 3-5	1,3-5, 10,11, 18,22
X	US 6 642 873 B1 (KUANG WENSHENG VINCENT) 4. November 2003 (2003-11-04)	1,9,10
A	Spalte 1, Zeile 25 - Spalte 4, Zeile 53; Abbildungen 1-5	2-8, 12-22
A	US 6 473 019 B1 (RUHA ANTTI ET AL) 29. Oktober 2002 (2002-10-29) das ganze Dokument	1-22

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

6. Juni 2005

Absenddatum des internationalen Recherchenberichts

22/06/2005

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Henderson, R

INTERNATIONALES RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2005/001165

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6346898	B1	12-02-2002	KEINE
US 6642873	B1	04-11-2003	KEINE
US 6473019	B1	29-10-2002	EP 1479169 A2 WO 03001675 A2
			24-11-2004 03-01-2003